

575-MHz-Vorteilerschaltkreis mit Teilerfaktor 10 oder 11

Grenzwerte

Parameter	Kurzzeichen	min.	max.	Einheit
Speisespannung	U_S		8	V
ECL-Ausgangsstrom	I_{O11}		50	mA
TTL-Ausgangsstrom	I_{O9}	-30		mA
Eingangsspannung (Pin 16)	U_{ISS}		2,5	V
Sperrschichttemperatur	ϑ_J		150	$^{\circ}\text{C}$
Umgebungstemperatur	ϑ_A	0	70	$^{\circ}\text{C}$
Lagertemperatur	ϑ_S	-55	150	$^{\circ}\text{C}$

Kennwerte ($\vartheta_A = 25^{\circ}\text{C}$, $U_S = 5\text{V}$)

Parameter	Kurzzeichen	min.	typ.	max.	Einheit
Speisespannung	U_S	4,75	5	5,5	V
Speisestromaufnahme	I_S			111	mA
Eingangsfrequenz	f_i		650	575	MHz
bei $U_{ISS} = 350\text{mV}$					MHz
bei $U_{ISS} = 650\text{mV}$		10			MHz
H-Spannung am Pin 2, 3	$U_{H2,3}$	3,9			V
L-Spannung am Pin 2, 3	$U_{L2,3}$			3,5	V
L-Stromaufnahme Pin 2, 3	$I_{L2,3}$				mA
bei $U_{L2,3} = 0,4\text{V}$		-4			mA
H-Ausgangsspannung TTL	U_{OH}	2,3			V
L-Ausgangsspannung TTL	U_{OL}			0,5	V
TTL-Ausgangskurzschlußstrom	I_{OK}				mA
bei $U_{I4} = 5\text{V}$		-80		-20	mA
Laufzeit zwischen CP und TTL-Ausgang	t_{cP}	6		14	ns
Laufzeit zwischen MS und TTL-Ausgang	t_{MS}			17	ns
Mode-control Setzeit	t_S	4			ns
Mode-control Freigabezeit	t_R	4			ns
Anstiegszeit TTL-Signal	t_r			5	ns
Abfallzeit TTL-Signal	t_f			5	ns

Kurzcharakteristik

- Teilerschaltkreis für hohe Eingangsfrequenzen in ECL-Technik
- Ein ECL-kompatibler und ein TTL-kompatibler Ausgang
- Den Teilerfaktor bestimmen die logischen Pegel an zwei Steuereingängen
- Typische ECL- bzw. TTL-Betriebsspannung
- Der Zähler kann auch so gesetzt werden, daß die Vorinformation am Ausgangssignal geliefert wird.
- Für asynchrone Folgelogik
- 16poliges DIL-Gehäuse
- Vielseitige Einsatzmöglichkeiten, z.B. in Frequenzzählern oder Synthesizern

Wahrheitstabelle

MS	Takt Inh.	PE1	PE2	Verhalten Ausgänge
H	X	X	X	H
L	H	X	X	Hold
L	L	L	L	: 11
L	L	H	L	: 10
L	L	L	H	: 10
L	L	H	H	: 10

Innenaufbau

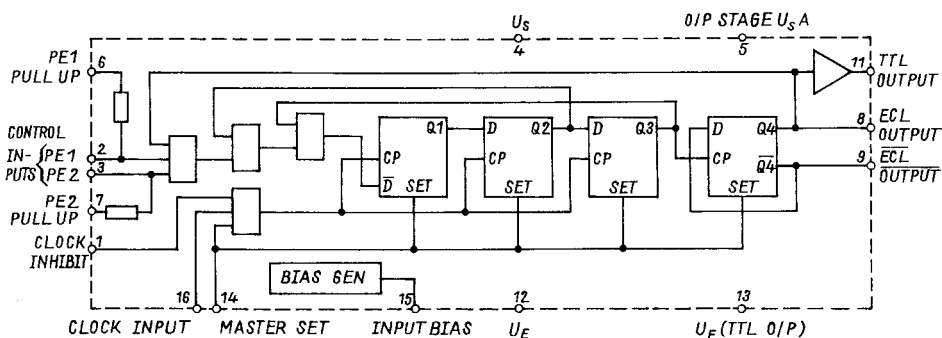


Bild 1: Innenaufbau des ECL-Teilerschaltkreises

Pinbelegung

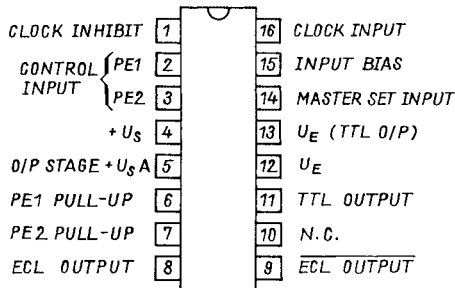


Bild 2: Anschlußbelegung des 16poligen Keramikgehäuses

Diagramm

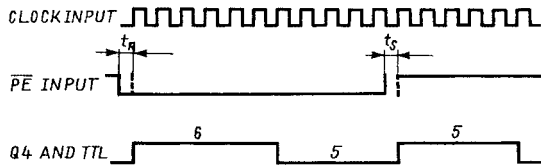


Bild 3: Taktdiagramm mit den Verzögerungszeiten t_R und t_S und dem Signal an Pin 8 bzw. Pin 11

Eingangsimpedanz

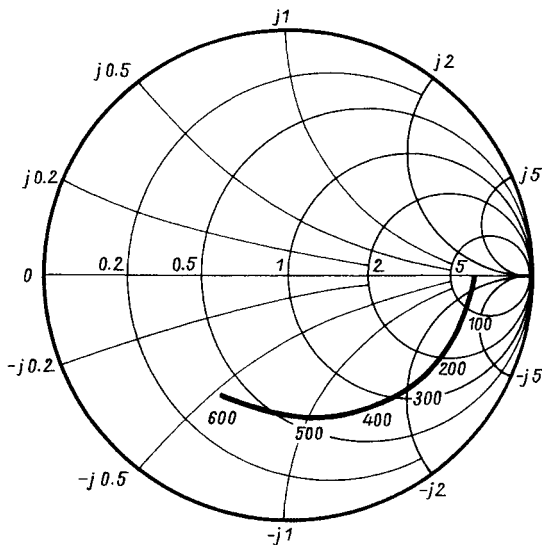


Bild 4: Ortskurve der Eingangsimpedanz ($\vartheta_A = 25^\circ\text{C}$, $U_S = 5\text{V}$); die Frequenz ist in MHz angegeben, die Impedanzwerte sind auf $50\ \Omega$ normiert

Applikationshinweise

Der Takteingang ist ECL-kompatibel und kann auch direkt an einen TTL-Ausgang geschaltet werden, wobei für eine hohe Eingangsfrequenz eine Widerstandsbeschaltung erfolgen muß (Bild 5). Ein kapazitiver Anschluß ist ebenfalls möglich (Bild 6). Dazu ist die intern erzeugte Spannung an Pin 15 direkt auf den Eingang zu legen.

Die beiden Ausgänge führen entgegengesetzte Signalpegel. Pull-down-Widerstände sind nicht integriert. Die Ausgänge können eine $50\text{-}\Omega$ -Last gegen -2V treiben.

Die Eingänge PE1 und PE2 sind ECL-kompatibel und mit einem Pull-up-Widerstand gegen Pin 6 und 7 zu versehen, wenn TTL-Ansteuerung gewünscht wird. Die Beschaltung kann auch erfolgen, falls die Eingänge nicht genutzt werden. Bei ECL-Ansteuerung sind die Widerstände nicht nötig, und Pin 6 und 7 sollten unbeschaltet bleiben.

Eingangsbeschaltung

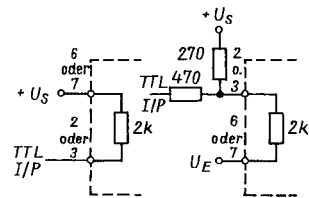


Bild 5: Schaltung an TTL-Ausgängen, links für geringe, rechts für hohe Eingangsfrequenzen

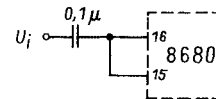


Bild 6: Kapazitiver Eingang

Applikationsbeispiel

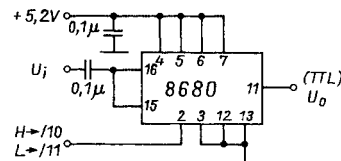


Bild 7: Typische Applikationsschaltung

Wir danken dem Industrie-Distributor RS Components GmbH, Nordendstr. 72-76, W-6082 Mörfelden-Walldorf, für die Übersendung der Datenunterlagen. Der SP 8680B (Plessey Semiconductors) wird dort zum Nettopreis von 27,88 DM angeboten.