



AK5701

PLL & MIC-AMP内蔵16-Bit $\Delta\Sigma$ Stereo ADC

概 要

AK5701はポータブルオーディオ機器用に開発された低電圧16bit A/Dコンバータです。AK5701は、マイクアンプおよびALC(Auto Level Control)回路を内蔵していますので、マイク等を使用するアプリケーションには最適です。内蔵のPLLは携帯電話のベースバンドクロック等に対応しており、DSPとの接続が容易です。AK5701は24pin QFNパッケージを採用しておりますので、機器の小型化には最適です。

特 長

1. 分解能: 16bits
2. 録音機能
 - ステレオ2入力セレクタ
 - 差動入力 or シングルエンド入力
 - マイク用ゲインアンプ内蔵 (+30dB/+15dB or 0dB)
 - 入力レベル: 1.8Vpp@VA=3.0V (= 0.6 x AVDD)
 - ADC特性: S/(N+D): 78dB, DR, S/N: 89dB@MGAIN=0dB
S/(N+D): 77dB, DR, S/N: 87dB@MGAIN=+15dB
S/(N+D): 72dB, DR, S/N: 77dB@MGAIN=+30dB
 - オフセットキャンセル用HPF内蔵 (fc=3.4Hz@fs=44.1kHz)
 - Digital ALC (Automatic Level Control) 回路内蔵
(+36dB ~ -54dB, 0.375dB Step, Mute)
3. サンプリング周波数:
 - PLL Slave Mode (EXLRCK pin): 7.35kHz ~ 48kHz
 - PLL Slave Mode (EXBCLK pin): 7.35kHz ~ 48kHz
 - PLL Slave Mode (MCKI pin):
8kHz, 11.025kHz, 12kHz, 16kHz, 22.05kHz, 24kHz, 32kHz, 44.1kHz, 48kHz
 - PLL Master Mode:
8kHz, 11.025kHz, 12kHz, 16kHz, 22.05kHz, 24kHz, 32kHz, 44.1kHz, 48kHz
 - EXT Master/Slave Mode:
7.35kHz ~ 48kHz (256fs), 7.35kHz ~ 26kHz (512fs), 7.35kHz ~ 13kHz (1024fs)
4. PLL入力周波数:
 - MCKI pin:
27MHz, 26MHz, 24MHz, 19.2MHz, 13.5MHz, 13MHz, 12.288MHz, 12MHz,
11.2896MHz
 - EXLRCK pin: 1fs
 - EXBCLK pin: 32fs/64fs
5. マスタ/スレーブモード
6. オーディオインタフェースフォーマット: MSB First, 2's compliment
 - DSP Mode, 16bit前詰め, I²S
7. シリアル μ Pインタフェース: 3線シリアル
8. 電源電圧:
 - AVDD: 2.4 ~ 3.6V
 - DVDD: 1.6 ~ 3.6V
9. 消費電流: 8mA
10. Ta = -30 ~ 85°C
11. パッケージ: 24pin QFN (4mm x 4mm)

■ ブロック図

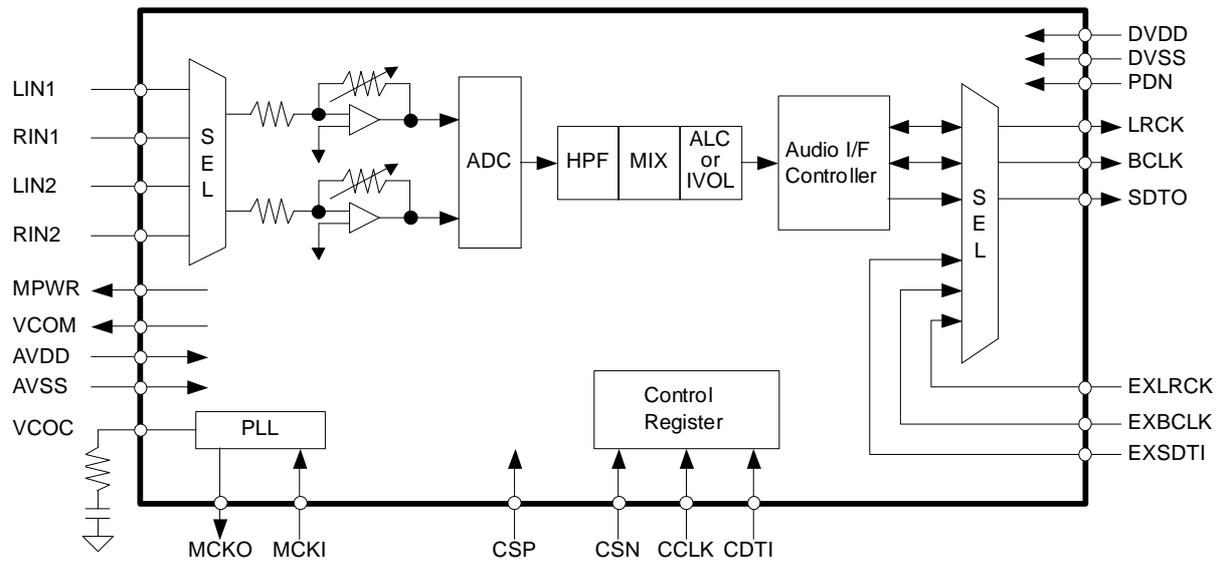


Figure 1. ブロック図

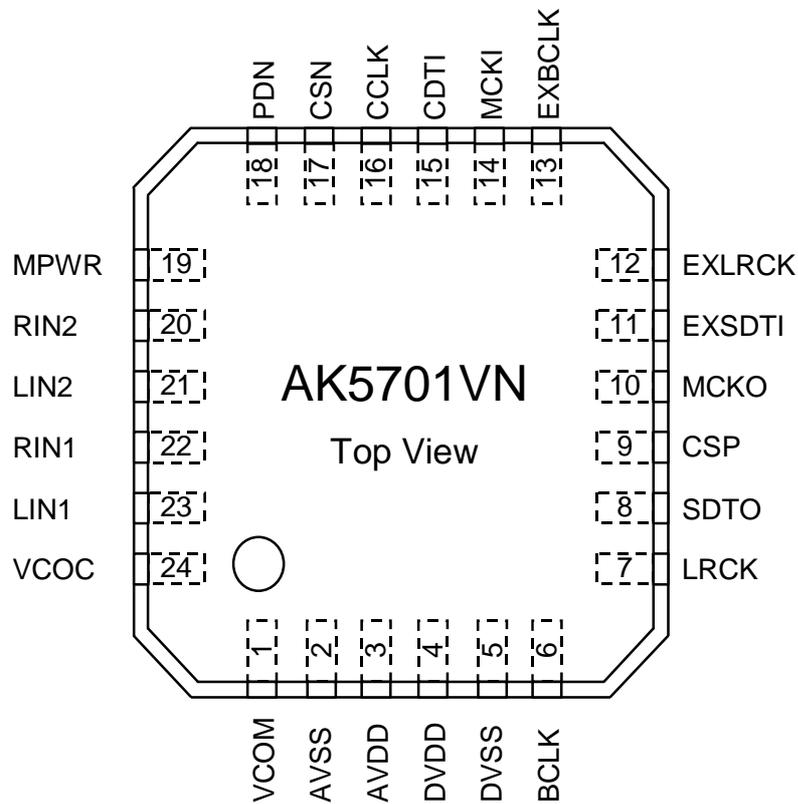
■ オーダリングガイド

AK5701VN
AKD5701

-30 ~ +85°C
AK5701用評価ボード

24pin QFN (0.5mm pitch)

■ ピン配置



■ AK5355VNとの比較

項目	AK5355VN	AK5701
入力セレクタ	なし	あり
入力ゲイン	+15dB/0dB	+30dB/+15dB/0dB
マイクバイアス	なし	あり
ALC	なし	あり
モノラルマイクモード	なし	あり
オーディオI/Fフォーマット	Left justified, I ² S	DSP Mode, Left justified, I ² S
PLL	なし	あり
マスタモード	なし	あり
出力データ切替	なし	あり
シリアルコントロール	なし	あり
電源電圧	2.1 ~ 3.6V	AVDD=2.4 ~ 3.6V DVDD=1.6 ~ 3.6V
パッケージ	20pin QFN (4.2mm x 4.2mm)	24pin QFN (4mm x 4mm)

ピン/機能

No.	Pin Name	I/O	Function
1	VCOM	O	コモン電圧出力ピン, 0.5 x AVDD ADC入力のバイアス電圧です。
2	AVSS	-	アナロググランドピン
3	AVDD	-	アナログ電源ピン
4	DVDD	-	デジタル電源ピン
5	DVSS	-	デジタルグランドピン
6	BCLK	O	オーディオシリアルクロック出力ピン
7	LRCK	O	入出力チャンネルクロック出力ピン
8	SDTO	O	オーディオシリアルデータ出力ピン
9	CSP	I	チップセレクト極性設定ピン “H”: CSN pin = “H” active, C1-0 = “01” “L”: CSN pin = “L” active, C1-0 = “10”
10	MCKO	O	マスタクロック出力ピン
11	EXSDTI	I	外部オーディオシリアルデータ入力ピン
12	EXLRCK	I	外部入出力チャンネルクロック入力ピン
13	EXBCLK	I	外部オーディオシリアルクロック入力ピン
14	MCKI	I	外部マスタクロック入力ピン
15	CDTI	I	コントロールデータ入力ピン
16	CCLK	I	コントロールクロック入力ピン (CSP pin = “H”のとき内部プルダウン)
17	CSN	I	チップセレクトピン
18	PDN	I	パワーダウンモードピン “H”: パワーアップ “L”: パワーダウン、リセット、コントロールレジスタの初期化
19	MPWR	O	マイク用電源供給ピン
20	RIN2	I	Rchアナログ入力2ピン (MDIF2 bit = “0”)
	RIN+	I	Rch差動非反転入力ピン (MDIF2 bit = “1”)
21	LIN2	I	Lchアナログ入力2ピン (MDIF2 bit = “0”)
	RIN-	I	Rch差動反転入力ピン (MDIF2 bit = “1”)
22	RIN1	I	Rchアナログ入力1ピン (MDIF1 bit = “0”)
	LIN-	I	Lch差動反転入力ピン (MDIF1 bit = “1”)
23	LIN1	I	Lchアナログ入力1ピン (MDIF1 bit = “0”)
	LIN+	I	Lch差動非反転入力ピン (MDIF1 bit = “1”)
24	VCOC	O	PLLのループフィルタ用出力ピン AVSSとの間に抵抗とコンデンサをシリーズ接続して下さい。

Note 1. アナログ入力ピン (LIN1, RIN1, LIN2, RIN2)以外のすべての入力ピンはフローティングにしてはいけません。

■ 使用しないピンの処理について

使用しない入出力ピンは下記の設定を行い、適切に処理して下さい。

区分	ピン名	設定
Analog	MPWR, VCOC, LIN1/LIN+, RIN1/LIN-, LIN2/RIN-, RIN2/RIN+	オープン
Digital	BCLK, LRCK, SDTO, MCKO	オープン
	MCKI, EXBCLK, EXLRCK, EXSDTI	DVSSに接続

絶対最大定格

(AVSS, DVSS=0V; Note 2)

Parameter		Symbol	min	max	Units
Power Supplies:	Analog	AVDD	-0.3	4.6	V
	Digital	DVDD	-0.3	4.6	V
	AVSS - DVSS (Note 3)		ΔGND	-	0.3
Input Current, Any Pin Except Supplies		IIN	-	±10	mA
Analog Input Voltage (Note 4)		VINA	-0.3	AVDD+0.3	V
Digital Input Voltage (Note 5)		VIND	-0.3	DVDD+0.3	V
Ambient Temperature (powered applied)		Ta	-30	85	°C
Storage Temperature		Tstg	-65	150	°C

Note 2. 電圧はすべてグランドピンに対する値です。

Note 3. AVSSとDVSSは同じアナロググランドに接続して下さい。

Note 4. LIN1/LIN+, RIN1/LIN-, LIN2/RIN-, RIN2/RIN+ pins

Note 5. PDN, CSN, CCLK, CDTI, CSP, MCKI, EXSDTI, EXLRCK, EXBCLK pins

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また、通常の動作は保証されません。

推奨動作条件

(AVSS, DVSS=0V; Note 2)

Parameter		Symbol	min	typ	Max	Units
Power Supplies (Note 6)	Analog	AVDD	2.4	3.0	3.6	V
	Digital	DVDD	1.6	3.0	AVDD	V

Note 2. 電圧はすべてグランドピンに対する値です。

Note 6. AVDD, DVDDの電源立ち上げシーケンスを考慮する必要はありません。AVDDだけをOFFした場合、DVDDのリーク電流が増加する可能性があります。DVDDをOFFする場合はAVDDもOFFしてください。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

アナログ特性

(Ta=25°C; AVDD, DVDD=3.0V; AVSS=DVSS=0V; PLL Master Mode; MCKI=12MHz, fs=44.0995kHz, BCLK=64fs; Signal Frequency=1kHz; 16bit Data; Measurement frequency=20Hz ~ 20kHz; unless otherwise specified)

Parameter		Min	Typ	max	Units
MIC Amplifier: LIN1, RIN1, LIN2, RIN2 pins; MDIF1 = MDIF2 bits = "0" (Single-ended inputs)					
Input Resistance	MGAIN1-0 bits = "00"	40	60	80	kΩ
	MGAIN1-0 bits = "01" or "10"	20	30	40	kΩ
Gain	MGAIN1-0 bits = "00"	-	0	-	dB
	MGAIN1-0 bits = "01"	-	+15	-	dB
	MGAIN1-0 bits = "10"	-	+30	-	dB
MIC Amplifier: LIN+, LIN-, RIN+, RIN- pins; MDIF1 = MDIF2 bits = "1" (Full-differential input)					
Input Voltage (Note 7)					
	MGAIN1-0 bits = "01"	-	-	0.37	Vpp
	MGAIN1-0 bits = "10"	-	-	0.066	Vpp
MIC Power Supply: MPWR pin					
Output Voltage (Note 8)		2.02	2.25	2.48	V
Load Resistance		0.5	-	-	kΩ
Load Capacitance		-	-	30	pF
ADC Analog Input Characteristics: LIN1/RIN1/LIN2/RIN2 pins (Single-ended inputs) → ADC → IVOL, MGAIN=+15dB, IVOL=0dB, ALC=OFF					
Resolution		-	-	16	Bits
Input Voltage (Note 9)	MGAIN=+30dB	-	0.057	-	Vpp
	MGAIN=+15dB	0.27	0.32	0.37	Vpp
	MGAIN=0dB	1.53	1.80	2.07	Vpp
S/(N+D) (-0.5dBFS) (Note 10)		67	77	-	dB
D-Range (-60dBFS, A-weighted) (Note 11)		79	87	-	dB
S/N (A-weighted) (Note 11)		79	87	-	dB
Interchannel Isolation (Note 12)		80	90	-	dB
Interchannel Gain Mismatch	MGAIN=+30dB	-	0.2	-	dB
	MGAIN=+15dB	-	0.2	1.0	dB
	MGAIN=0dB	-	0.2	0.5	dB
Power Supplies:					
Power Supply Current: AVDD+DVDD					
Power Up (PDN pin = "H") (Note 13)		-	8	12	mA
Power Down (PDN pin = "L") (Note 14)		-	1	20	μA

Note 7. プラス入力ピンとマイナス入力ピンの差分です。ACカップリングコンデンサを各入力ピンにシリーズに接続して下さい。MGAIN1-0 bits = "00"のとき差動入力の使用禁止です。LIN+, LIN-, RIN+, RIN-ピンの最大入力電圧はそれぞれAVDDに比例します。Vin = |(L/RIN+) - (L/RIN-)| = 0.123 x AVDD (max)@MGAIN1-0 bits = "01", 0.022 x AVDD (max)@MGAIN1-0 bits = "10".

この電圧を越える信号が入力された場合、ADCの動作は保証できません。

Note 8. 出力電圧はAVDDに比例します。Vout = 0.75 x AVDD (typ)。

Note 9. 入力電圧はAVDDに比例します。Vin = 0.107 x AVDD (typ)@MGAIN1-0 bits = "01" (+15dB), Vin = 0.6 x AVDD(typ)@MGAIN1-0 bits = "00" (0dB)

Note 10. 78dB(typ)@MGAIN=0dB, 72dB(typ)@MGAIN=+30dB

Note 11. 89dB(typ)@MGAIN=0dB, 77dB(typ)@MGAIN=+30dB

Note 12. 100dB(typ)@MGAIN=0dB, 80dB(typ)@MGAIN=+30dB

Note 13. PLL Master Mode (MCKI=12MHz)で、PMADL = PMADR = PMVCM = PMPLL = PMMP = M/S bits = "1", MCKO = "0"の場合です。このとき、MPWR pinの出力電流は0mAです。

AVDD=6.4mA(typ), DVDD=1.6mA(typ).

EXT Slave Mode (PMPLL = M/S = MCKO bits = "0")の場合: AVDD=5.7mA(typ), DVDD=1.3mA(typ).

Bypass Mode (THR bit = "1", PMADL = PMADR = M/S bits = "0"), fs=8kHzの場合: AVDD=1μA(typ), DVDD=150μA(typ).

Note 14. 全てのデジタル入力ピンをDVDDまたはDVSSに固定した時の値です。

フィルタ特性

(Ta=25°C; AVDD=2.4 ~ 3.6V; DVDD=1.6 ~ 3.6V; fs=44.1kHz)

Parameter	Symbol	min	typ	max	Units	
ADC Digital Filter (Decimation LPF):						
Passband (Note 15)	±0.1dB	PB	0	-	17.4	kHz
	-1.0dB		-	20.0	-	kHz
	-3.0dB		-	21.1	-	kHz
Stopband (Note 15)		SB	25.7	-	-	kHz
Passband Ripple		PR	-	-	±0.1	dB
Stopband Attenuation		SA	65	-	-	dB
Group Delay (Note 16)		GD	-	18	-	1/fs
Group Delay Distortion		ΔGD	-	0	-	μs
ADC Digital Filter (HPF): HPF1-0 bits = "00"						
Frequency Response (Note 15)	-3.0dB	FR	-	3.4	-	Hz
	-0.5dB		-	10	-	Hz
	-0.1dB		-	22	-	Hz

Note 15. 各振幅特性の周波数は fs (システムサンプリングレート) に比例します。

例えば、PB=20.0kHz(@-1.0dB)は0.454 x fsです(ADC)。各応答は1kHzを基準にします。

Note 16. デジタルフィルタによる遅延演算で、アナログ信号が入力されてから両チャンネルの16ビットデータが出力レジスタにセットされるまでの時間です。

DC特性

(Ta=25°C; AVDD=2.4 ~ 3.6V; DVDD=1.6 ~ 3.6V)

Parameter	Symbol	min	typ	max	Units
High-Level Input Voltage					
Except CSP pin; 2.2V ≤ DVDD ≤ 3.6V	V _{IH}	70%DVDD	-	-	V
Except CSP pin; 1.6V ≤ DVDD < 2.2V	V _{IH}	80%DVDD	-	-	V
CSP pin	V _{IH}	90%DVDD	-	-	V
Low-Level Input Voltage					
Except CSP pin; 2.2V ≤ DVDD ≤ 3.6V	V _{IL}	-	-	30%DVDD	V
Except CSP pin; 1.6V ≤ DVDD < 2.2V	V _{IL}	-	-	20%DVDD	V
CSP pin	V _{IL}	-	-	10%DVDD	V
High-Level Output Voltage (I _{out} = -200μA)	V _{OH}	DVDD-0.2	-	-	V
Low-Level Output Voltage (I _{out} = 200μA)	V _{OL}	-	-	0.2	V
Input Leakage Current (Note 17)	I _{in}	-	-	±10	μA

Note 17. CSP pin = "H" のとき、CCLK pinは内部でプルダウンされています(typ. 100kΩ)。

スイッチング特性

(Ta=25°C; AVDD=2.4 ~ 3.6V; DVDD=1.6 ~ 3.6V; CL=20pF)

Parameter	Symbol	min	typ	max	Units
PLL Master Mode (PLL Reference Clock = MCKI pin)					
MCKI Input Timing					
Frequency	fCLK	11.2896	-	27	MHz
Pulse Width Low	tCLKL	0.4/fCLK	-	-	ns
Pulse Width High	tCLKH	0.4/fCLK	-	-	ns
MCKO Output Timing					
Frequency	fMCK	0.2352	-	12.288	MHz
Duty Cycle					
Except 256fs at fs=32kHz, 29.4kHz	dMCK	40	50	60	%
256fs at fs=32kHz, 29.4kHz	dMCK	-	33	-	%
LRCK Output Timing					
Frequency					
Except DSP Mode 1	fs	7.35	-	48	kHz
DSP Mode 1 (Note 18)	fsd	14.7	-	96	kHz
DSP Mode: Pulse Width High	tLRCKH	-	tBCK	-	ns
Except DSP Mode: Duty Cycle	Duty	-	50	-	%
BCLK Output Timing					
Period	BCKO1-0 bit = "01"	tBCK	-	1/(32fs)	ns
	BCKO1-0 bit = "10"	tBCK	-	1/(64fs)	ns
Duty Cycle		dBCK	-	50	%
PLL Slave Mode (PLL Reference Clock = MCKI pin)					
MCKI Input Timing					
Frequency	fCLK	11.2896	-	27	MHz
Pulse Width Low	tCLKL	0.4/fCLK	-	-	ns
Pulse Width High	tCLKH	0.4/fCLK	-	-	ns
MCKO Output Timing					
Frequency	fMCK	0.2352	-	12.288	MHz
Duty Cycle					
Except 256fs at fs=32kHz, 29.4kHz	dMCK	40	50	60	%
256fs at fs=32kHz, 29.4kHz	dMCK	-	33	-	%
EXLRCK Input Timing					
Frequency	fs	7.35	-	48	kHz
DSP Mode: Pulse Width High	tLRCKH	tBCK-60	-	1/fs - tBCK	ns
Except DSP Mode: Duty Cycle	Duty	45	-	55	%
EXBCLK Input Timing					
Period	tBCK	1/(64fs)	-	1/(32fs)	ns
Pulse Width Low	tBCKL	0.4 x tBCK	-	-	ns
Pulse Width High	tBCKH	0.4 x tBCK	-	-	ns
PLL Slave Mode (PLL Reference Clock = EXLRCK pin)					
EXLRCK Input Timing					
Frequency	fs	7.35	-	48	kHz
DSP Mode: Pulse Width High	tLRCKH	tBCK-60	-	1/fs - tBCK	ns
Except DSP Mode: Duty Cycle	Duty	45	-	55	%
EXBCLK Input Timing					
Period	tBCK	1/(64fs)	-	1/(32fs)	ns
Pulse Width Low	tBCKL	240	-	-	ns
Pulse Width High	tBCKH	240	-	-	ns

Note 18. サンプリング周波数は7.35kHz ~ 48kHzです。

Parameter	Symbol	min	typ	max	Units
PLL Slave Mode (PLL Reference Clock = EXBCLK pin)					
EXLRCK Input Timing					
Frequency	fs	7.35	-	48	kHz
DSP Mode: Pulse Width High	tLRCKH	tBCK-60	-	1/fs - tBCK	ns
Except DSP Mode: Duty Cycle	Duty	45	-	55	%
EXBCLK Input Timing					
Period	PLL3-0 bits = "0010"	tBCK	-	1/(32fs)	ns
	PLL3-0 bits = "0011"	tBCK	-	1/(64fs)	ns
Pulse Width Low		tBCKL	0.4 x tBCK	-	ns
Pulse Width High		tBCKH	0.4 x tBCK	-	ns
External Slave Mode					
MCKI Input Timing					
Frequency	256fs	fCLK	1.8816	-	12.288 MHz
	512fs	fCLK	3.7632	-	13.312 MHz
	1024fs	fCLK	7.5264	-	13.312 MHz
Pulse Width Low		tCLKL	0.4/fCLK	-	ns
Pulse Width High		tCLKH	0.4/fCLK	-	ns
EXLRCK Input Timing					
Frequency	256fs	fs	7.35	-	48 kHz
	512fs	fs	7.35	-	26 kHz
	1024fs	fs	7.35	-	13 kHz
DSP Mode: Pulse Width High		tLRCKH	tBCK-60	-	1/fs - tBCK ns
Except DSP Mode: Duty Cycle		Duty	45	-	55 %
EXBCLK Input Timing					
Period		tBCK	312.5	-	ns
Pulse Width Low		tBCKL	130	-	ns
Pulse Width High		tBCKH	130	-	ns
External Master Mode					
MCKI Input Timing					
Frequency	256fs	fCLK	1.8816	-	12.288 MHz
	512fs	fCLK	3.7632	-	13.312 MHz
	1024fs	fCLK	7.5264	-	13.312 MHz
Pulse Width Low		tCLKL	0.4/fCLK	-	ns
Pulse Width High		tCLKH	0.4/fCLK	-	ns
LRCK Output Timing					
Frequency		fs	7.35	-	48 kHz
DSP Mode: Pulse Width High		tLRCKH	-	tBCK	ns
Except DSP Mode: Duty Cycle		Duty	-	50	%
BCLK Output Timing					
Period	BCKO1-0 bit = "01"	tBCK	-	1/(32fs)	ns
	BCKO1-0 bit = "10"	tBCK	-	1/(64fs)	ns
Duty Cycle		dBCK	-	50	%

Parameter	Symbol	min	typ	Max	Units
Audio Interface Timing (DSP Mode)					
Master Mode					
LRCK “↑” to BCLK “↑” (Note 19)	tDBF	0.5 x tBCK - 40	0.5 x tBCK	0.5 x tBCK + 40	ns
LRCK “↑” to BCLK “↓” (Note 20)	tDBF	0.5 x tBCK - 40	0.5 x tBCK	0.5 x tBCK + 40	ns
BCLK “↑” to SDTO (BCKP bit = “0”)	tBSD	-70	-	70	ns
BCLK “↓” to SDTO (BCKP bit = “1”)	tBSD	-70	-	70	ns
Slave Mode					
EXLRCK “↑” to EXBCLK “↑” (Note 19)	tLRB	0.4 x tBCK	-	-	ns
EXLRCK “↑” to EXBCLK “↓” (Note 20)	tLRB	0.4 x tBCK	-	-	ns
EXBCLK “↑” to EXLRCK “↑” (Note 19)	tBLR	0.4 x tBCK	-	-	ns
EXBCLK “↓” to EXLRCK “↑” (Note 20)	tBLR	0.4 x tBCK	-	-	ns
EXBCLK “↑” to SDTO (BCKP bit = “0”)	tBSD	-	-	80	ns
EXBCLK “↓” to SDTO (BCKP bit = “1”)	tBSD	-	-	80	ns
Audio Interface Timing (Left justified & I²S)					
Master Mode					
BCLK “↓” to LRCK Edge (Note 21)	tMBLR	-40	-	40	ns
LRCK Edge to SDTO (MSB) (Except I ² S mode)	tLRD	-70	-	70	ns
BCLK “↓” to SDTO	tBSD	-70	-	70	ns
Slave Mode					
EXLRCK Edge to EXBCLK “↑” (Note 21)	tLRB	50	-	-	ns
EXBCLK “↑” to EXLRCK Edge (Note 21)	tBLR	50	-	-	ns
EXLRCK Edge to SDTO (MSB) (Except I ² S mode)	tLRD	-	-	80	ns
EXBCLK “↓” to SDTO	tBSD	-	-	80	ns

Note 19. MSBS, BCKP bits = “00” or “11”

Note 20. MSBS, BCKP bits = “01” or “10”

Note 21. この規格値はEXLRCKのエッジとEXBCLKの“↑”が重ならないように規定しています。

Parameter	Symbol	min	typ	max	Units
Control Interface Timing (CSP pin = "L")					
CCLK Period	tCCK	142	-	-	ns
CCLK Pulse Width Low	tCCKL	56	-	-	ns
Pulse Width High	tCCKH	56	-	-	ns
CDTI Setup Time	tCDS	28	-	-	ns
CDTI Hold Time	tCDH	28	-	-	ns
CSN "H" Time	tCSW	150	-	-	ns
CSN "↓" to CCLK "↑"	tCSS	50	-	-	ns
CCLK "↑" to CSN "↑"	tCSH	50	-	-	ns
Control Interface Timing (CSP pin = "H")					
CCLK Period	tCCK	142	-	-	ns
CCLK Pulse Width Low	tCCKL	56	-	-	ns
Pulse Width High	tCCKH	56	-	-	ns
CDTI Setup Time	tCDS	28	-	-	ns
CDTI Hold Time	tCDH	28	-	-	ns
CSN "L" Time	tCSW	150	-	-	ns
CSN "↑" to CCLK "↑"	tCSS	50	-	-	ns
CCLK "↑" to CSN "↓"	tCSH	50	-	-	ns
Power-down & Reset Timing					
PDN Pulse Width (Note 22)	tPD	150	-	-	ns
PMADL or PMADR "↑" to SDTO valid (Note 23)					
HPF1-0 bits = "00"	tPDV	-	3088	-	1/fs
HPF1-0 bits = "01"	tPDV	-	1552	-	1/fs
HPF1-0 bits = "10"	tPDV	-	784	-	1/fs

Note 22. AK5701はPDN pin = "L"でリセットされます。

Note 23. PMADL bitまたはPMADR bitを立ち上げてからのLRCKクロックの"↑"の回数です。

■ タイミング波形

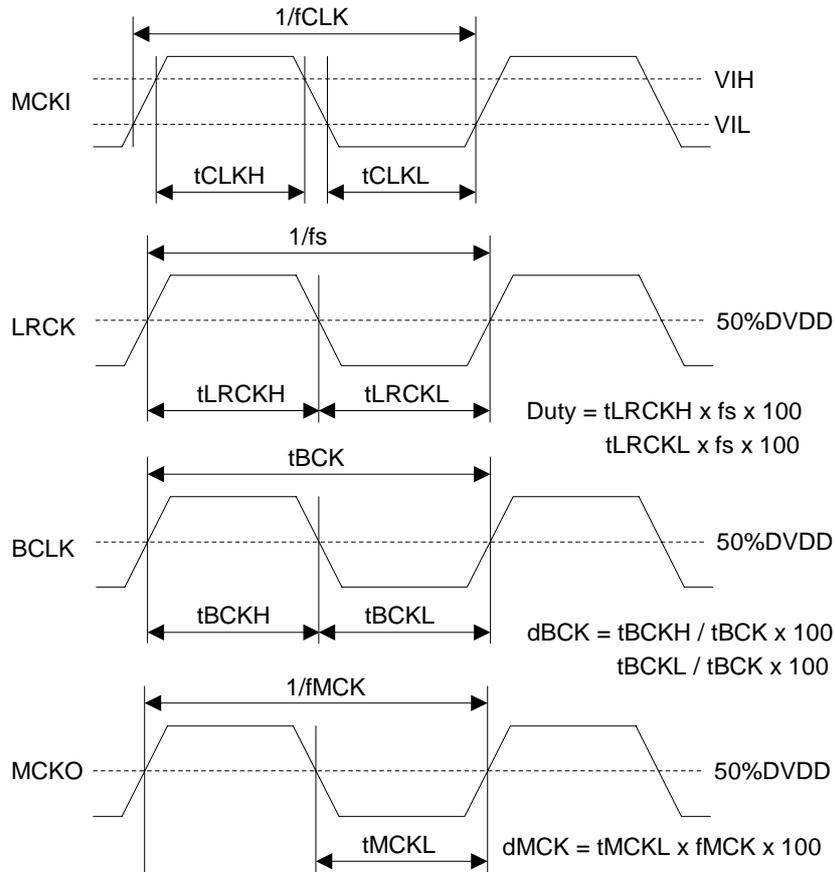


Figure 2. Clock Timing (PLL/EXT Master mode)

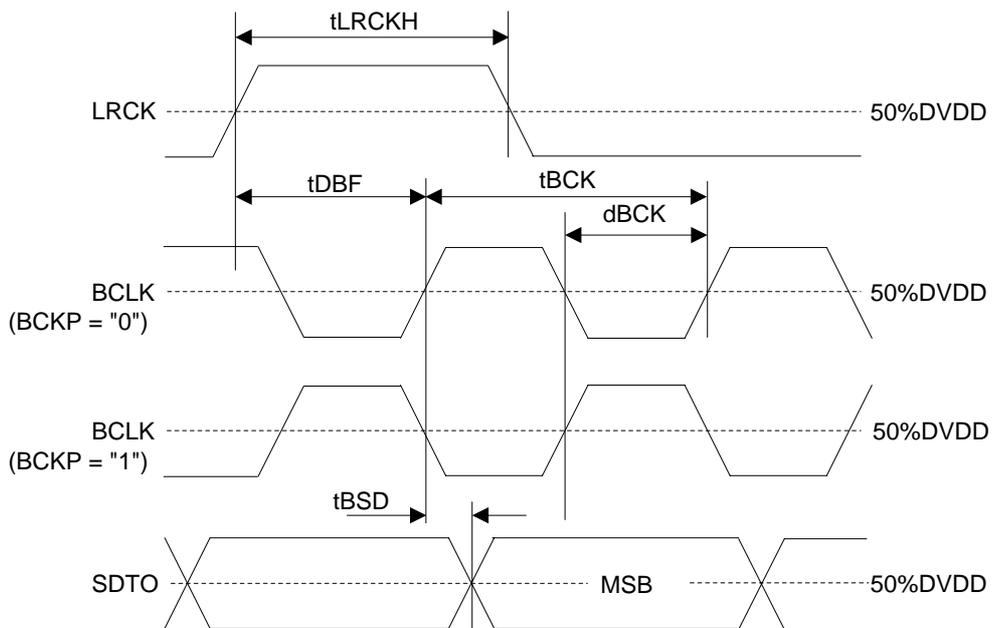


Figure 3. Audio Interface Timing (PLL/EXT Master mode & DSP mode: MSBS = "0")

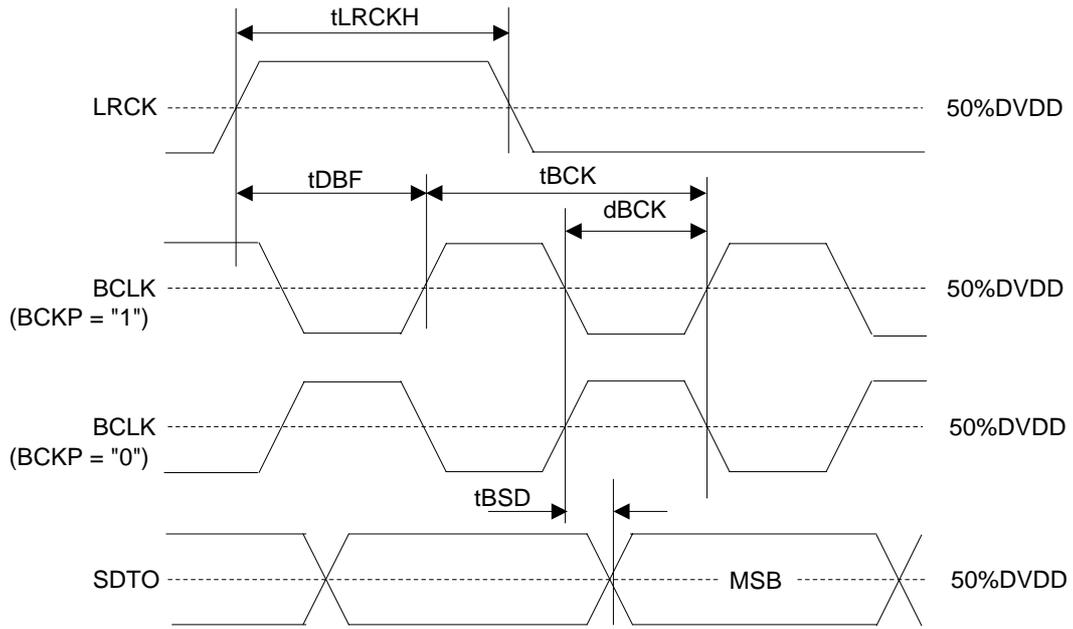


Figure 4. Audio Interface Timing (PLL/EXT Master mode & DSP mode: MSBS = "1")

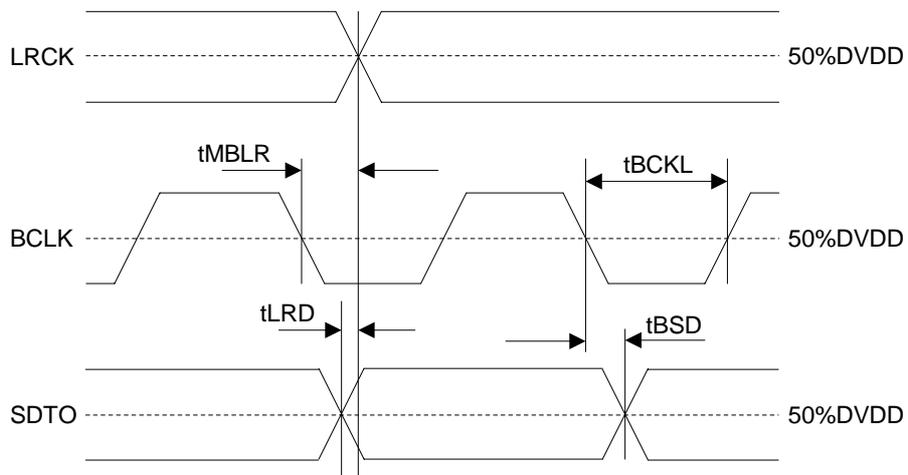


Figure 5. Audio Interface Timing (PLL/EXT Master mode & Except DSP mode)

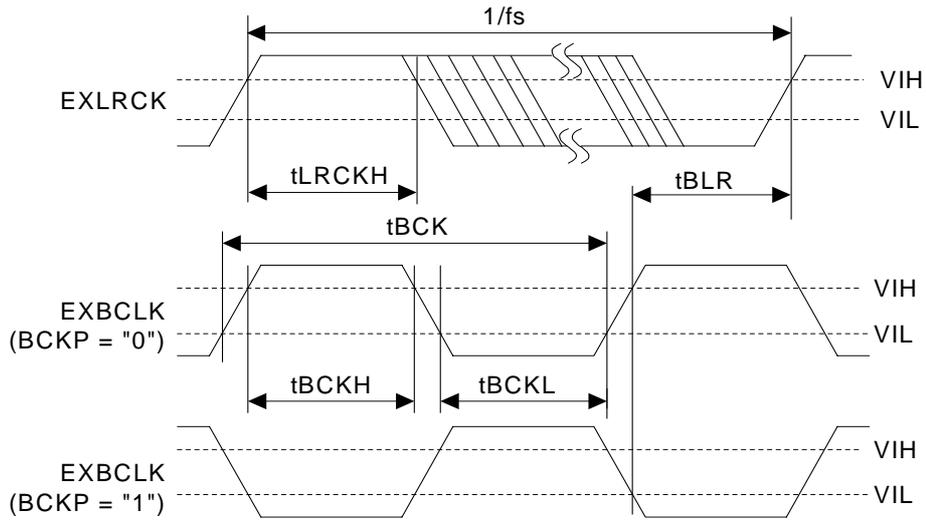


Figure 6. Clock Timing (PLL Slave mode; PLL Reference Clock = EXLRCK or EXBCLK pin & DSP mode; MSBS = 0)

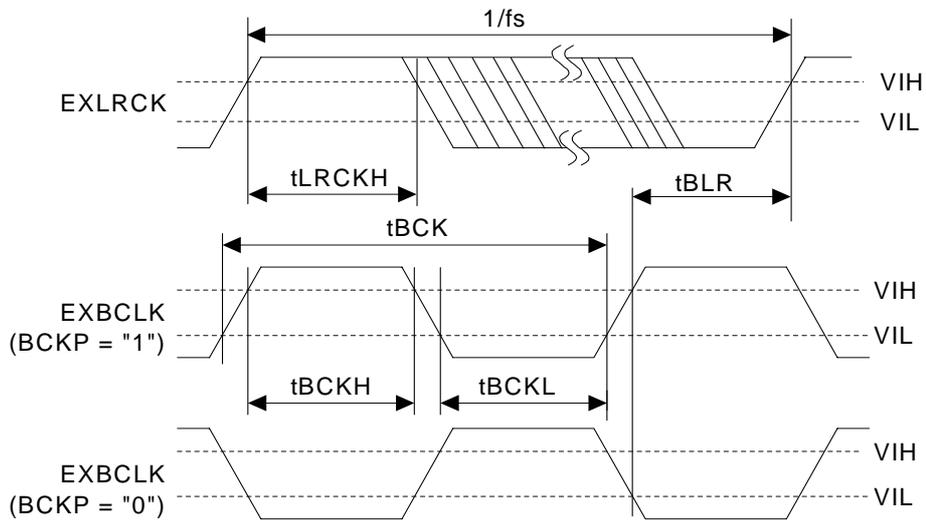


Figure 7. Clock Timing (PLL Slave mode; PLL Reference Clock = EXLRCK or EXBCLK pin & DSP mode; MSBS = 1)

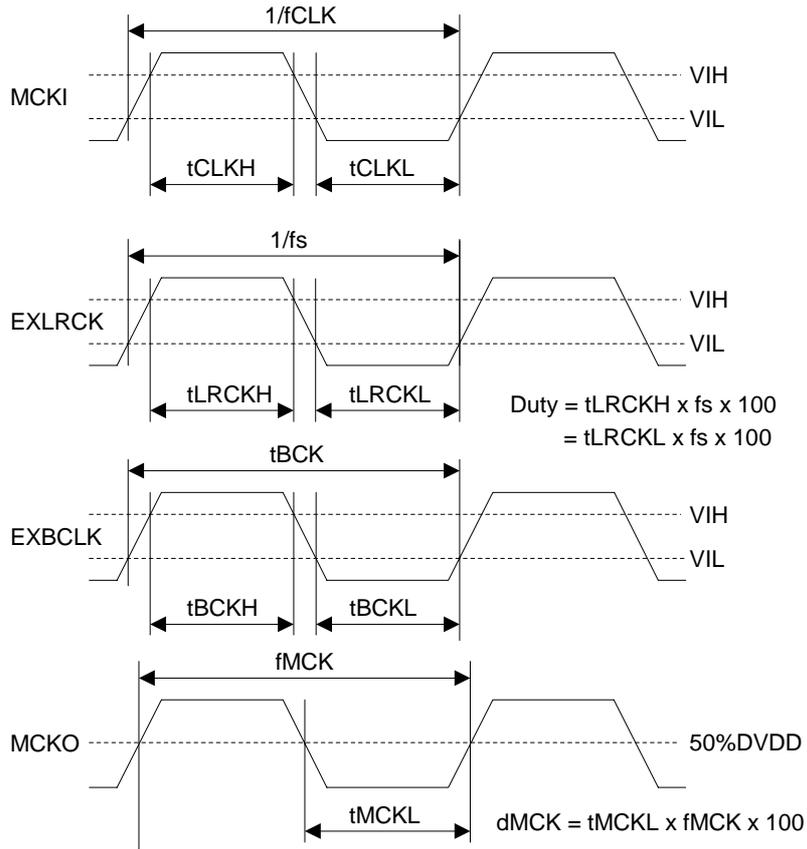


Figure 8. Clock Timing (PLL Slave mode; PLL Reference Clock = MCKI pin & Except DSP mode)

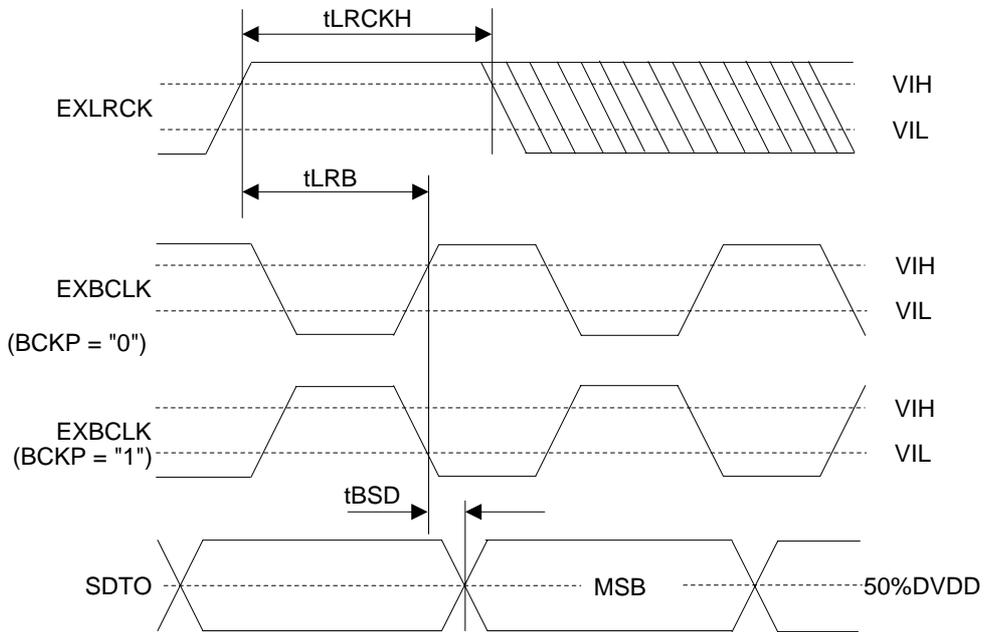


Figure 9. Audio Interface Timing (PLL Slave mode & DSP mode; MSBS = 0)

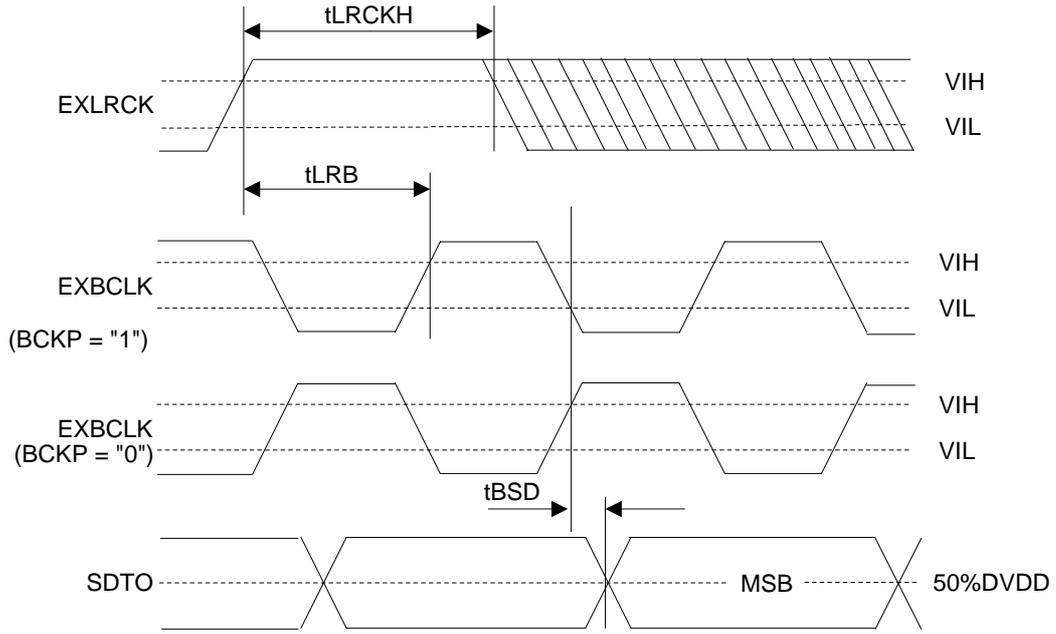


Figure 10. Audio Interface Timing (PLL Slave mode, DSP mode; MSBS = 1)

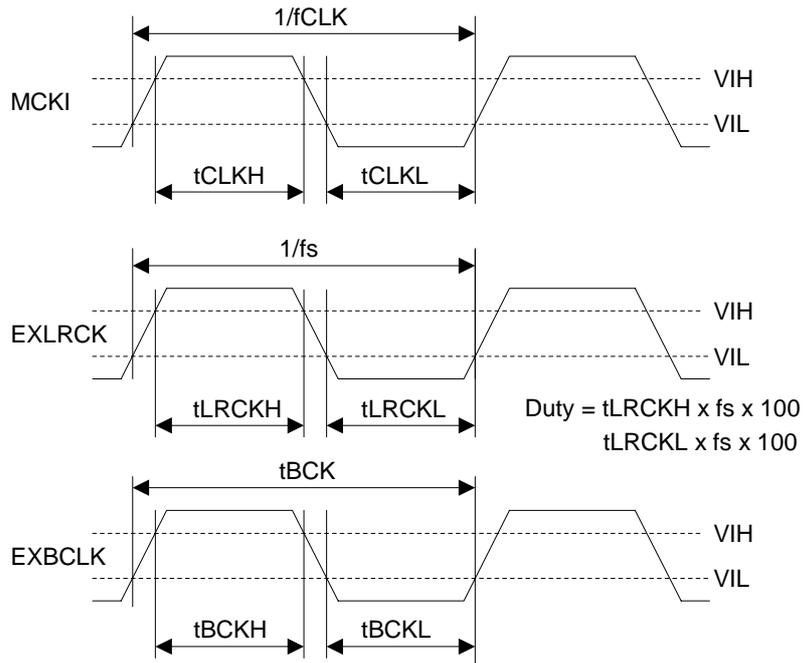


Figure 11. Clock Timing (EXT Slave mode)

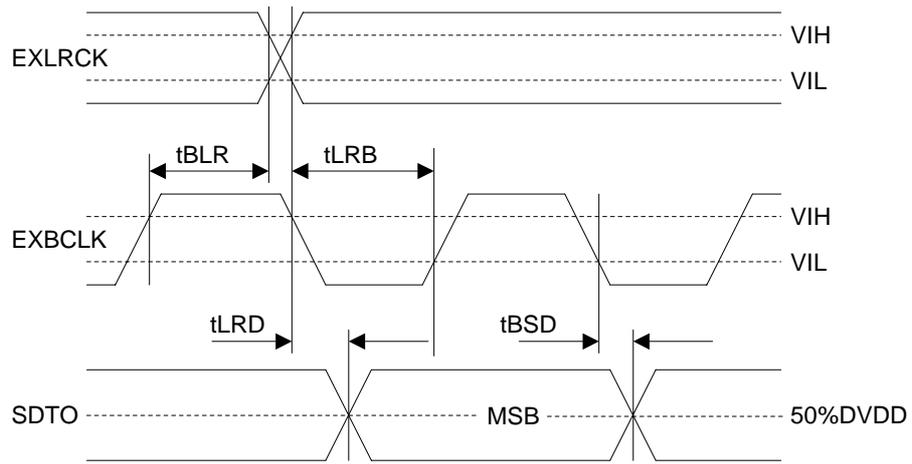


Figure 12. Audio Interface Timing (PLL/EXT Slave mode)

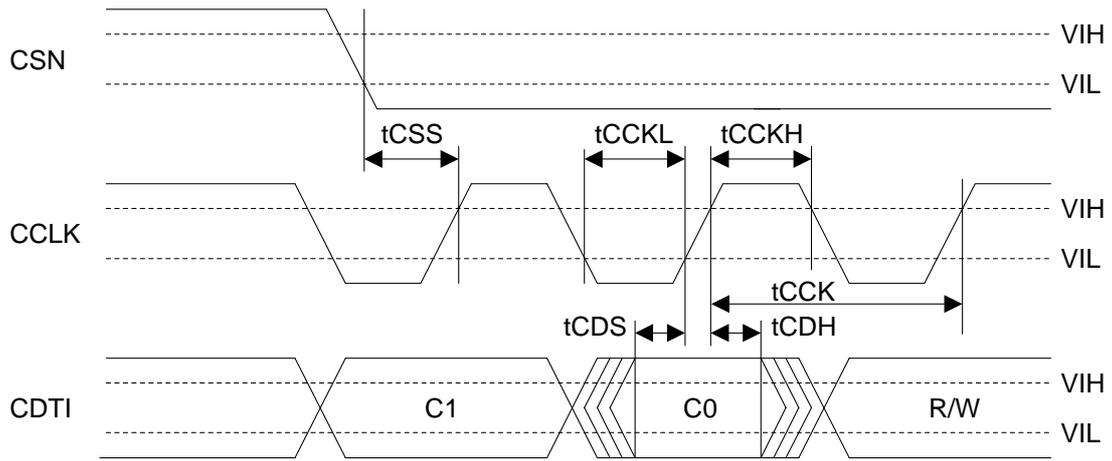


Figure 13. WRITE Command Input Timing (CSP pin = "L")

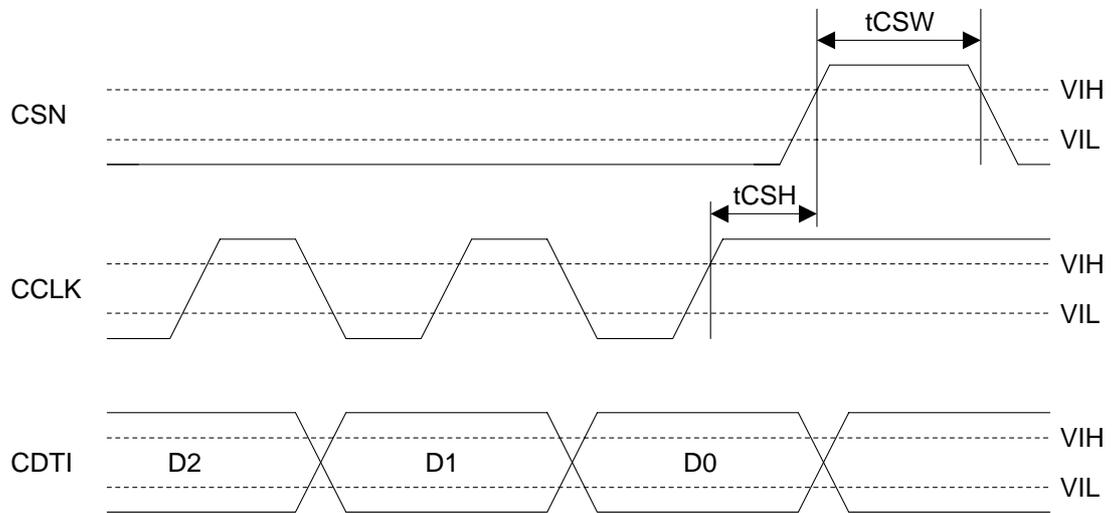


Figure 14. WRITE Data Input Timing (CSP pin = "L")

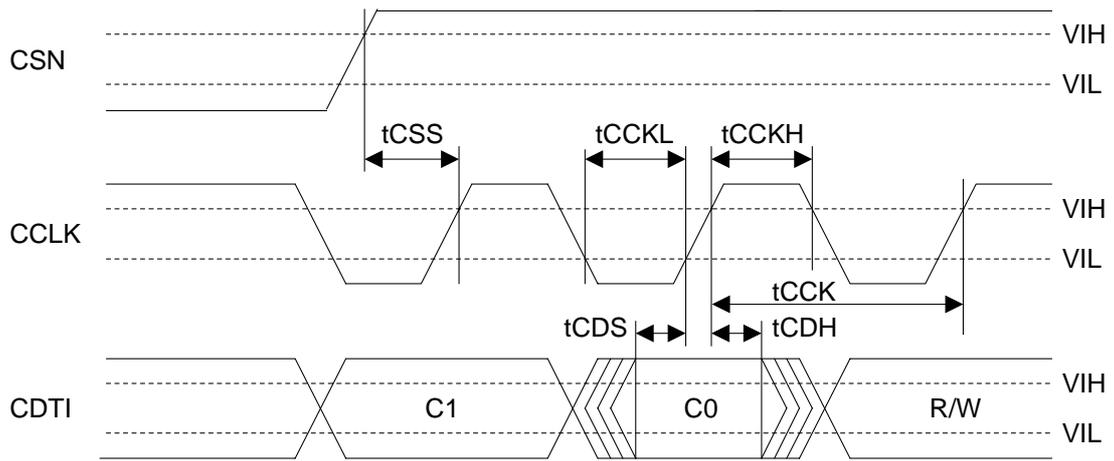


Figure 15. WRITE Command Input Timing (CSP pin = "H")

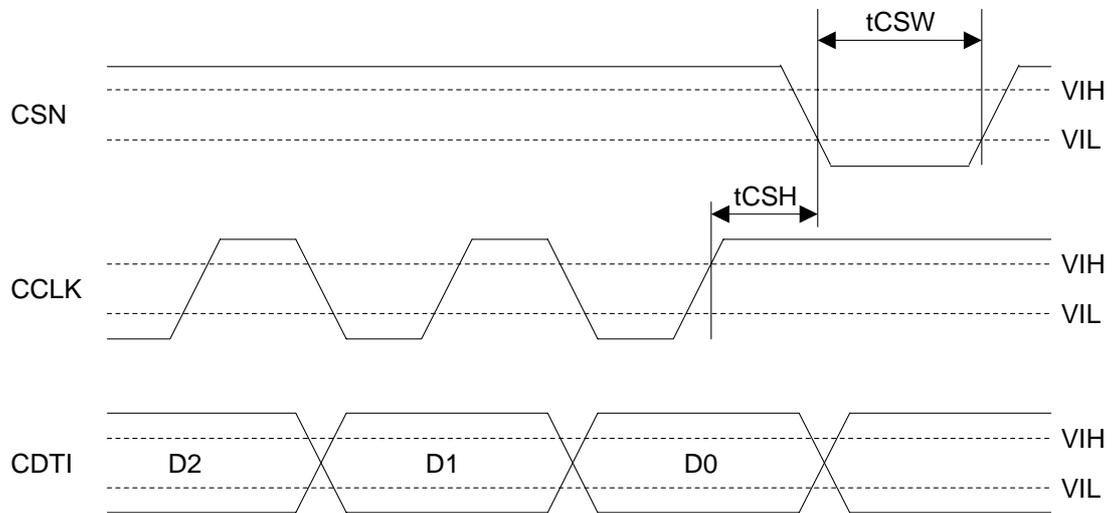


Figure 16. WRITE Data Input Timing (CSP pin = "H")

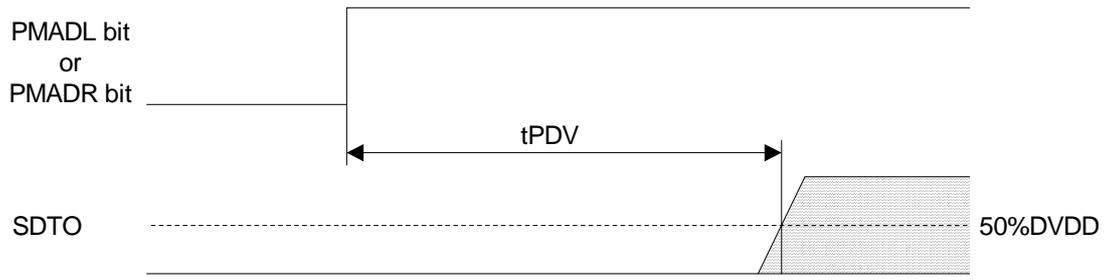


Figure 17. Power Down & Reset Timing 1

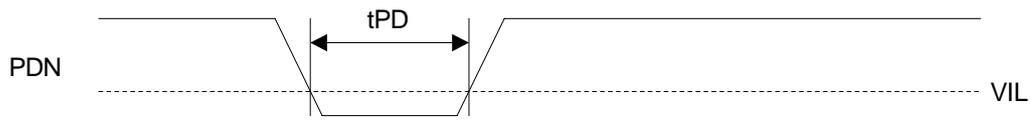


Figure 18. Power Down & Reset Timing 2

機能説明

■ システムクロック

外部とのI/Fモードは以下の5通りの方法があります。(See Table 1 and Table 2.)

Mode	PMPLL bit	M/S bit	PLL3-0 bits	Figure
PLL Master Mode (Note 24)	1	1	See Table 4	Figure 19
PLL Slave Mode 1 (PLL Reference Clock: MCKI pin)	1	0	See Table 4	Figure 21
PLL Slave Mode 2 (PLL Reference Clock: EXLRCK or EXBCLK pin)	1	0	See Table 4	Figure 20
EXT Slave Mode	0	0	x	Figure 22
EXT Master Mode (Note 25)	0	1	x	Figure 23

Note 24. PLL Master Modeに設定する過程で、M/S bit = “1”, PMPLL bit = “0”, MCKO bit = “1”のときMCKO pin から正常でない周波数のクロックが出力されます。

Note 25. EXT Master Modeで使用する場合、Figure 49の手順で設定して下さい。

Table 1. Clock Mode Setting (x: Don't care)

Mode	MCKO bit	MCKO pin	MCKI pin	BCLK pin, EXBCLK pin	LRCK pin, EXLRCK pin
PLL Master Mode	0	“L”	PLL3-0 bits で選択	BCLK pin (BCKO1-0 bitsで選択)	LRCK pin (1fs) (Note 26)
	1	PS1-0 bitsで 選択			
PLL Slave Mode (PLL Reference Clock: MCKI pin)	0	“L”	PLL3-0 bits で選択	EXBCLK pin (≥ 32fs)	EXLRCK pin (1fs)
	1	PS1-0 bitsで 選択			
PLL Slave Mode (PLL Reference Clock: EXLRCK or EXBCLK pin)	0	“L”	GND	EXBCLK pin (PLL3-0 bits で選択)	EXLRCK pin (1fs)
EXT Slave Mode	0	“L”	FS1-0 bitsで 選択	EXBCLK pin (≥ 32fs)	EXLRCK pin (1fs)
EXT Master Mode	0	“L”	FS1-0 bitsで 選択	BCLK pin (BCKO1-0 bitsで選択)	LRCK pin (1fs)

Table 2. Clock pins state in Clock Mode

Note 26. PLL Master ModeでDSP Mode 1のとき、LRCKは2fsです。

■ マスタモードとスレーブモードの切り替え

マスタモードとスレーブモードの切り替えはM/S bitで行います。“1”でマスタモード、“0”でスレーブモードです。AK5701はパワーダウン時 (PDN pin = “L”)、及びパワーダウン解除後はスレーブモードです。パワーダウン解除後、M/S bitを “1”に変更することでマスタモードになります。

M/S bit	Mode	使用するピン
0	Slave Mode	EXBCLK, EXLRCK
1	Master Mode	BCLK, LRCK

Default

Table 3. Select Master/Slave Mode

■ PLLモード

PMPLL bit = “1”の時、内蔵の高精度アナログPLLはFS3-0 bit, PLL3-0 bitで選択したクロックに応じて動作します。PLLのロック時間は、電源投入後、PMPLL bit を“0” → “1”に変更し、安定したクロックが入力された場合、またはサンプリング周波数が変更された場合、Table 4の通りです。

1) PLL Modeの設定

Mode	PLL3 bit	PLL2 bit	PLL1 bit	PLL0 bit	PLL基準クロック入力ピン	入力周波数	VCOC pinの R,C		PLLロック時間 (max)
							R[Ω]	C[F]	
0	0	0	0	0	EXLRCK pin	1fs	6.8k	220n	80ms
2	0	0	1	0	EXBCLK pin	32fs	10k	4.7n	2ms
							10k	10n	4ms
3	0	0	1	1	EXBCLK pin	64fs	10k	4.7n	2ms
							10k	10n	4ms
4	0	1	0	0	MCKI pin	11.2896MHz	10k	4.7n	40ms
5	0	1	0	1	MCKI pin	12.288MHz	10k	4.7n	40ms
6	0	1	1	0	MCKI pin	12MHz	10k	4.7n	40ms
7	0	1	1	1	MCKI pin	24MHz	10k	4.7n	40ms
8	1	0	0	0	MCKI pin	19.2MHz	10k	4.7n	40ms
9	1	0	0	1	MCKI pin	12MHz (Note 27)	10k	4.7n	40ms
12	1	1	0	0	MCKI pin	13.5MHz	10k	10n	40ms
13	1	1	0	1	MCKI pin	27MHz	10k	10n	40ms
14	1	1	1	0	MCKI pin	13MHz	10k	220n	60ms
15	1	1	1	1	MCKI pin	26MHz	10k	220n	60ms
Others	Others				N/A				

Default

Table 4. Setting of PLL Mode (fs: Sampling Frequency)

Note 27. PLL3-0 bits = “0110”と“1001”の相違はTable 5を参照して下さい。

2) PLL Modeのサンプリング周波数設定

MCKI入力の場合は、Table 5の設定によりサンプリング周波数が選択できます。

Mode	FS3 bit	FS2 bit	FS1 bit	FS0 bit	Sampling Frequency
0	0	0	0	0	8kHz
1	0	0	0	1	12kHz
2	0	0	1	0	16kHz
3	0	0	1	1	24kHz
4	0	1	0	0	7.35kHz
					7.349918kHz (Note 28)
5	0	1	0	1	11.025kHz
					11.024877kHz (Note 28)
6	0	1	1	0	14.7kHz
					14.69984kHz (Note 28)
7	0	1	1	1	22.05kHz
					22.04975kHz (Note 28)
10	1	0	1	0	32kHz
11	1	0	1	1	48kHz
14	1	1	1	0	29.4kHz
					29.39967kHz (Note 28)
15	1	1	1	1	44.1kHz
					44.0995kHz (Note 28)
Others	Others				N/A

Default

Table 5. Setting of Sampling Frequency at PMPLL bit = “1” and Reference Clock=MCKI pin

Note 28. PLL3-0 bits = “1001”のときです。

EXLRCK or EXBCLKより入力の場合は、FS3, FS2 bitでサンプリング周波数の設定を行って下さい(Table 6).

Mode	FS3 bit	FS2 bit	FS1 bit	FS0 bit	Sampling Frequency Range
0	0	0	Don't care	Don't care	$7.35\text{kHz} \leq f_s \leq 12\text{kHz}$
1	0	1	Don't care	Don't care	$12\text{kHz} < f_s \leq 24\text{kHz}$
2	1	Don't care	Don't care	Don't care	$24\text{kHz} < f_s \leq 48\text{kHz}$
Others	Others				N/A

Table 6. Setting of Sampling Frequency at PMPLL bit = "1" and Reference=EXLRCK/EXBCLK

■ PLLのアンロックについて

1) PLL Master Mode (PMPLL bit = "1", M/S bit = "1")

このモードで PMPLL bit = "0" → "1"にした後PLLがロックするまでの間、BCLKとLRCKは"L"を出力、MCKO bit = "1"のときMCKO pinからは正常でない周波数のクロックが出力されます。MCKO bit = "0"の場合は、MCKO pinは"L"を出力します。(See Table 7)

DSP Mode 0, 1において、PMPLL bit = "0" → "1"設定によりPLLがロックした後、BCLKとLRCKはLchのデータに対応して出力を開始します。DSP Mode 0, 1でMSBS bit = "0", BCKP bit = "1"またはMSBS bit = "1", BCKP bit = "0"の場合、BCLK出力開始の1発目の"H"幅が2発目以降に比べて $1/(256f_s)$ だけ短くなります。

サンプリング周波数を変更する場合は一度PMPLL bit = "0"にすることでアンロック状態の不定なBCLK, LRCKを出力させずに"L"を出力させることができます。

PLL State	MCKO pin		BCLK pin	LRCK pin
	MCKO bit = "0"	MCKO bit = "1"		
PMPLL bit "0" → "1"直後	"L" Output	不定	"L" Output	"L" Output
PLL Unlock 時(上記以外)	"L" Output	不定	不定	不定
PLL Lock 時	"L" Output	See Table 9	See Table 10	1fs Output (*)

Table 7. Clock Operation at PLL Master Mode (PMPLL bit = "1", M/S bit = "1")

* DSP Mode 1のとき、LRCKは2fsです。

2) PLL Slave Mode (PMPLL bit = "1", M/S bit = "0")

このモードでは PMPLL bit = "0" → "1"にした後PLLがロックするまでの間、MCKOからは正常でない周波数のクロックが出力されます。その後、PLLがロックするとMCKO pinからTable 9で選択されたクロックが出力されます。但し、PLLがアンロックになった場合、ADCからは正常なデータが出力されません。

PLL State	MCKO pin	
	MCKO bit = "0"	MCKO bit = "1"
PMPLL bit "0" → "1"直後	"L" Output	不定
PLL Unlock 時(上記以外)	"L" Output	不定
PLL Lock 時	"L" Output	See Table 9

Table 8. Clock Operation at PLL Slave Mode (PMPLL bit = "1", M/S bit = "0")

■ PLL Master Mode (PMPLL bit = “1”, M/S bit = “1”)

外部から11.2896MHz, 12MHz, 12.288MHz, 13MHz, 13.5MHz, 19.2MHz, 24MHz, 26MHz or 27MHz のクロックを入力し、内部のPLLによりMCKO, BCLK, LRCKクロックを生成し出力します。マスタクロック出力(MCKO)はPS1-0 bit (Table 9)で設定された周波数を出し、MCKO bitでON/OFF可能です。BCLK出力はBCKO1-0 bitsにより、32fs or 64fsを選択することができます。(See Table 10)

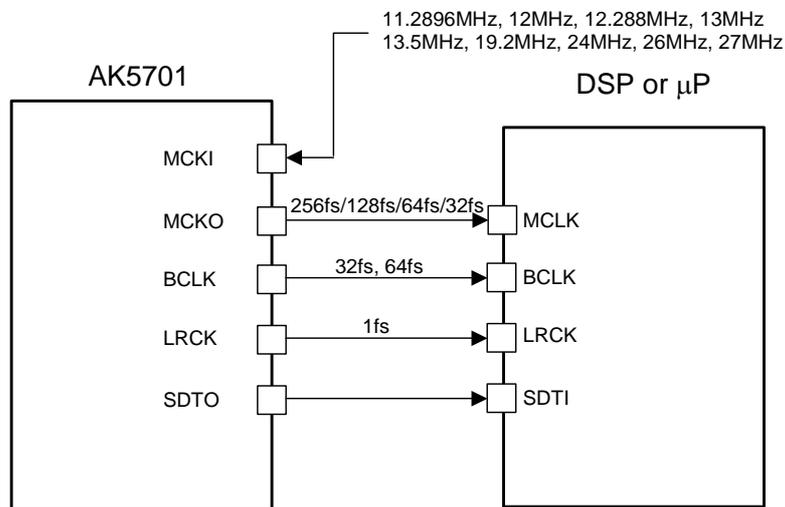


Figure 19. PLL Master Mode

Mode	PS1 bit	PS0 bit	MCKO pin
0	0	0	256fs
1	0	1	128fs
2	1	0	64fs
3	1	1	32fs

Default

Table 9. MCKO周波数 (PLLモード, MCKO bit = “1”)

BCKO1 bit	BCKO0 bit	BCLK出力周波数
0	0	N/A
0	1	32fs
1	0	64fs
1	1	N/A

Default

Table 10. BCLK Output Frequency at Master Mode

■ PLL Slave Mode (PMPLL bit = “1”, M/S bit = “0”)

MCKI, EXBCLK or EXLRCK pinへ入力されるクロックを基準に内部のPLLにてAK5701に必要なクロックを生成します。PLLの基準クロックは、PLL3-0 bitにて設定することができます(Table 4)。

a) PLL 基準クロック: EXBCLK or EXLRCK pin

FS3-0 bitを設定することで、7.35kHz ~ 48kHzの任意のサンプリング周波数に対応します。(See Table 6.)

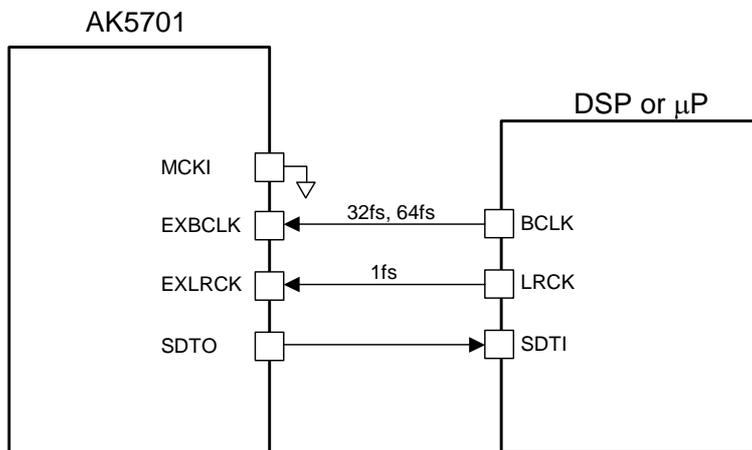


Figure 20. PLL Slave Mode 1 (PLL Reference Clock: EXLRCK or EXBCLK pin)

b) PLL 基準クロック: MCKI pin

MCKOに同期したEXBCLK, EXLRCKを入力します。MCKOとEXLRCKは同期する必要がありますが位相を合わせる必要はありません。マスタクロック出力(MCKO pin)はPS1-0 bit (Table 9)で設定された周波数を出力し、MCKO bitでON/OFF可能です。サンプリング周波数は、FS3-0 bitで設定することができます。(See Table 5)

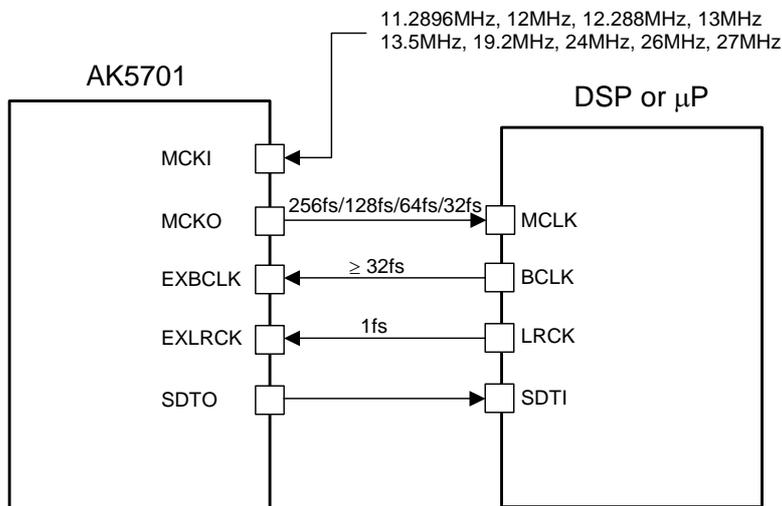


Figure 21. PLL Slave Mode 2 (PLL Reference Clock: MCKI pin)

ADCが動作中(PMADL bit = “1” or PMADR bit = “1”)は外部クロック(MCKI, EXBCLK, EXLRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態 (PMADL=PMADR bits = “0”)にしてください。

■ EXT Slave Mode (PMPLL bit = “0”, M/S bit = “0”)

PMPLL bitを“0”にすることで、外部クロックスレーブモード(EXT Slave Mode)で動作し、MCKI pinからPLLを介さずに直接、ADCにマスタクロックを入力できます。このモードは通常のオーディオCODECとのI/Fに対して互換性があります。必要なクロックはMCKI (256fs, 512fs or 1024fs), EXBCLK ($\geq 32fs$), EXLRCK(fs)です。MCKIとEXLRCKは同期する必要がありますが位相を合わせる必要はありません。MCKIの入力周波数はFS1-0 bitにより選択することが可能です。(See Table 11)

Mode	FS3-2 bits	FS1 bit	FS0 bit	MCKI Input Frequency	Sampling Frequency Range
0	Don't care	0	0	256fs	7.35kHz ~ 48kHz
1	Don't care	0	1	1024fs	7.35kHz ~ 13kHz
2	Don't care	1	0	512fs	7.35kHz ~ 26kHz
3	Don't care	1	1	256fs	7.35kHz ~ 48kHz

Table 11. EXT Slave Mode (PMPLL bit = “0”, M/S bit = “0”) 時のMCKI周波数の設定

ADCが動作中(PMADL bit = “1” or PMADR bit = “1”)は外部クロック(MCKI, EXBCLK, EXLRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。クロックを止める場合はパワーダウン状態(PMADL=PMADR bits = “0”)にしてください。

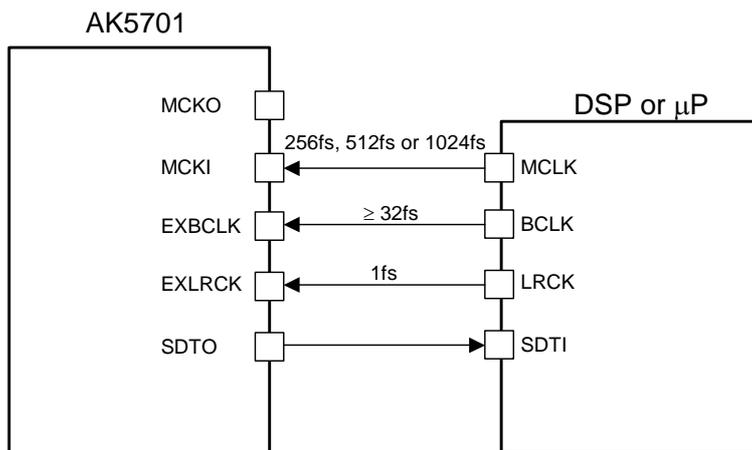


Figure 22. EXT Slave Mode

■ EXT Master Mode (PMPLL bit = “0”, M/S bit = “1”, TE3-0 bits = “0101”, TMASTER bit = “1”)

Figure 49の手順例に従ってレジスタを設定することで、外部クロックマスタモード(EXT Master Mode)で動作し、MCKI pinからPLLを介さずに直接、ADCにマスタクロックを入力できます。必要なクロックはMCKI (256fs, 512fs or 1024fs)です。MCKIの入力周波数はFS1-0 bitにより選択することが可能です(See Table 12)。

Mode	FS3-2 bits	FS1 bit	FS0 bit	MCKI Input Frequency	Sampling Frequency Range
0	Don't care	0	0	256fs	7.35kHz ~ 48kHz
1	Don't care	0	1	1024fs	7.35kHz ~ 13kHz
2	Don't care	1	0	512fs	7.35kHz ~ 26kHz
3	Don't care	1	1	256fs	7.35kHz ~ 48kHz

Default

Table 12. EXT Master Mode時のMCKI周波数の設定

ADCが動作中(PMADL bit = “1” or PMADR bit = “1”)はMCKIを止めてはいけません。MCKIが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。MCKIを止める場合はパワーダウン状態(PMADL=PMADR bits = “0”)にしてください。

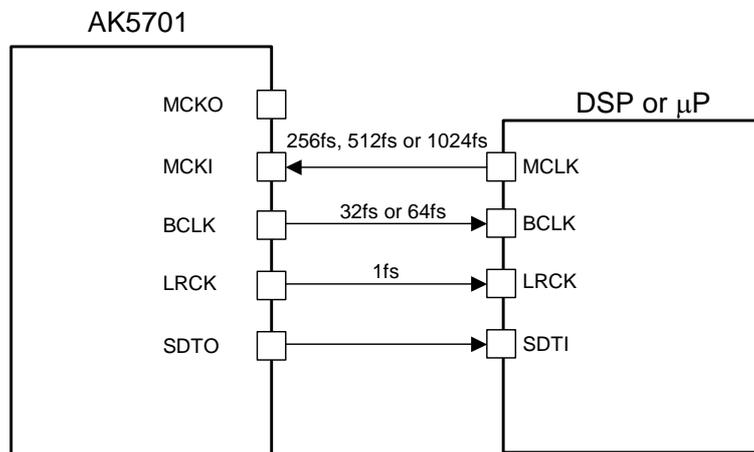


Figure 23. EXT Master Mode

BCKO1 bit	BCKO0 bit	BCLK出力周波数
0	0	N/A
0	1	32fs
1	0	64fs
1	1	N/A

Default

Table 13. BCLK Output Frequency at Master Mode

■ バイパスモード

THR bit = “1”, M/S bit = “0”, PMADL bit = “0”, PMADR bit = “0”の場合、EXLRCK, EXBCLK, EXSDTI pinsの入カクロックおよびデータをそれぞれLRCK, BCLK, SDTO pinsへスルー出力します。

THR bit = “1”, M/S bit = “0”でPMADL bit = “1” or PMADR bit = “1”の場合、EXLRCK, EXBCLK pinsの入カクロックをLRCK, BCLK pinsへスルー出力し、SDTO pinからADCデータを出します。

THR bit	M/S bit	PMADL bit PMADR bit	BCLK/LRCK	SDTO	Mode	Figure
0	0	“00”	“L”	“L”	Power down	Default
		“01”/“10”/“11”	“L”	ADC data	Slave mode	
	1	“00”	Output	“L”	Power down	
		“01”/“10”/“11”	Output	ADC data	Master mode	
1	0	“00”	EXBCLK/EXLRCK	EXSDTI	Bypass mode	Figure 24
		“01”/“10”/“11”	EXBCLK/EXLRCK	ADC data	Slave & Bypass	Figure 25
	1	“00”	N/A	N/A	N/A	
		“01”/“10”/“11”	Output	ADC data	Master mode	

Table 14. Bypass Mode Select

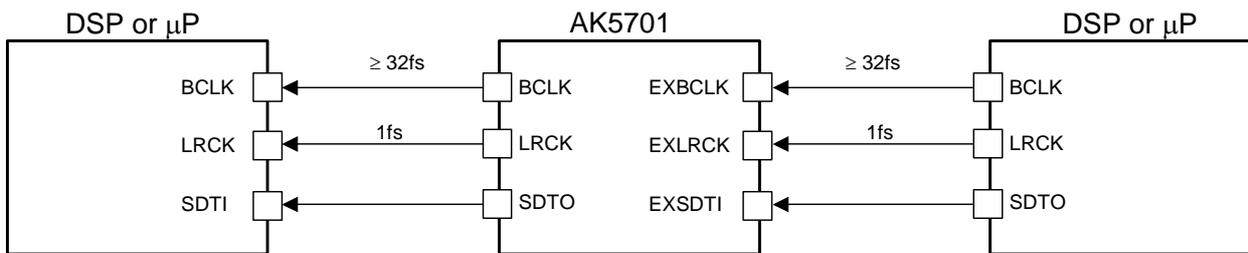


Figure 24. Bypass Mode

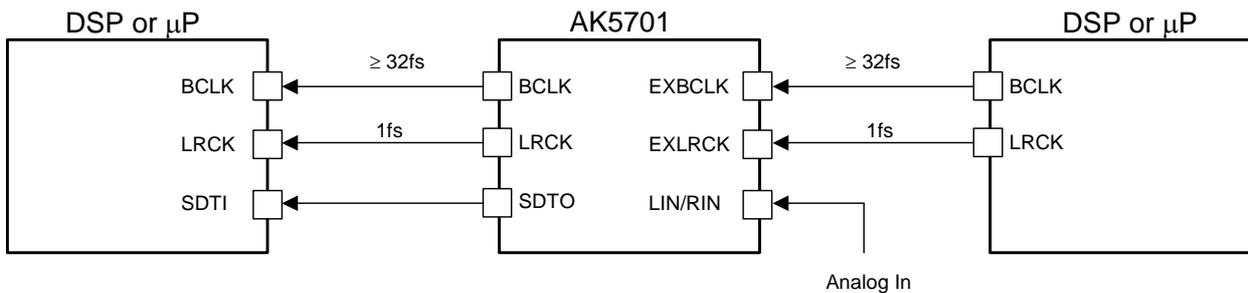


Figure 25. Slave & Bypass Mode

■ オーディオインタフェースフォーマット

4種類のデータフォーマット(Table 15)がDIF1-0 bitで選択できます。全モードともMSBファースト、2'sコンプリメントのデータフォーマットです。オーディオインタフェースはマスタモードとスレーブモードに対応します。ただし、DSP Mode 1はPLL Master Modeのみ対応します。マスタモードではLRCK, BCLK, SDTOを使用し、スレーブモードではEXLRCK, EXBCLK, SDTOを使用します。Mode 2とMode 3ではSDTOはBCLK/EXBCLKの“↓”で出力されます。

Mode	DIF1 bit	DIF0 bit	SDTO	BCLK, EXBCLK	Figure
0	0	0	DSP Mode 0	32fs	See Table 16
1	0	1	DSP Mode 1	≥ 32fs	
2	1	0	前詰め	≥ 32fs	Figure 34
3	1	1	I ² S互換	≥ 32fs	Figure 35

Default

Table 15. Audio Interface Format

Mode 0, 1 (DSPモード0, 1)では、BCKP, MSBS bitにより、オーディオI/Fのタイミングを変更することができます。

BCKP bit = “0”の場合、SDTOはBCLK/EXBCLKの“↑”で出力されます。

BCKP bit = “1”の場合、SDTOはBCLK/EXBCLKの“↓”で出力されます。

MSBS bitは、MSBデータの位置をBCLK/EXBCLKの半周期分シフトすることができます。

DIF1	DIF0	MSBS	BCKP	Audio Interface Format
0	0	0	0	SDTOのMSBデータはLRCK/EXLRCK “↑”後の1回目のBCLK/EXBCLK “↑”で出力されます。(Figure 26)
		0	1	SDTOのMSBデータはLRCK/EXLRCK “↑”後の1回目のBCLK/EXBCLK “↓”で出力されます。(Figure 27)
		1	0	SDTOのMSBデータはLRCK/EXLRCK “↑”後の1回目のBCLK/EXBCLK “↓”の次のBCLK/EXBCLK “↑”で出力されません。(Figure 28)
		1	1	SDTOのMSBデータはLRCK/EXLRCK “↑”後の1回目のBCLK/EXBCLK “↑”の次のBCLK/EXBCLK “↓”で出力されません。(Figure 29)
0	1	0	0	SDTOのMSBデータはLRCK/EXLRCK “↑”後の1回目のBCLK/EXBCLK “↑”で出力されます。(Figure 30)
		0	1	SDTOのMSBデータはLRCK/EXLRCK “↑”後の1回目のBCLK/EXBCLK “↓”で出力されます。(Figure 31)
		1	0	SDTOのMSBデータはLRCK/EXLRCK “↑”後の1回目のBCLK/EXBCLK “↓”の次のBCLK/EXBCLK “↑”で出力されません。(Figure 32)
		1	1	SDTOのMSBデータはLRCK/EXLRCK “↑”後の1回目のBCLK/EXBCLK “↑”の次のBCLK/EXBCLK “↓”で出力されません。(Figure 33)

Default

Table 16. Audio Interface Format in Mode 0, 1

ADCより出力された16bitデータを8bitデータへ変換し保存する場合、16bitデータを単純に切り捨てると、16bitデータの“-1”は8bitデータで“-1”に変換されます。この8bitデータの“-1”をDACにて再生するため16bitデータに再変換すると“-256”となり大きなノイズになります。8bitデータへ変換する前に、16bitデータにオフセット(128)を加算することを推奨します。

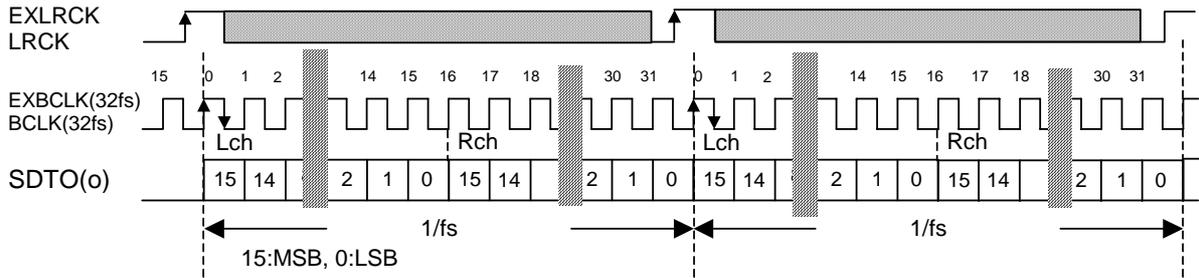


Figure 26. Mode 0 Timing (BCKP = "0", MSBS = "0", M/S = "0" or "1")

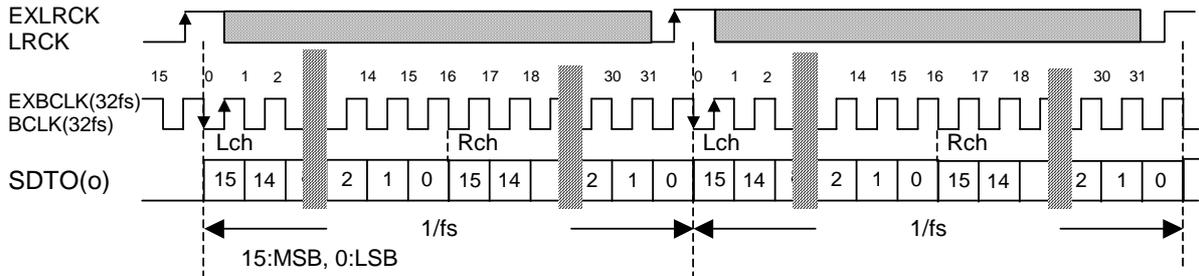


Figure 27. Mode 0 Timing (BCKP = "1", MSBS = "0", M/S = "0" or "1")

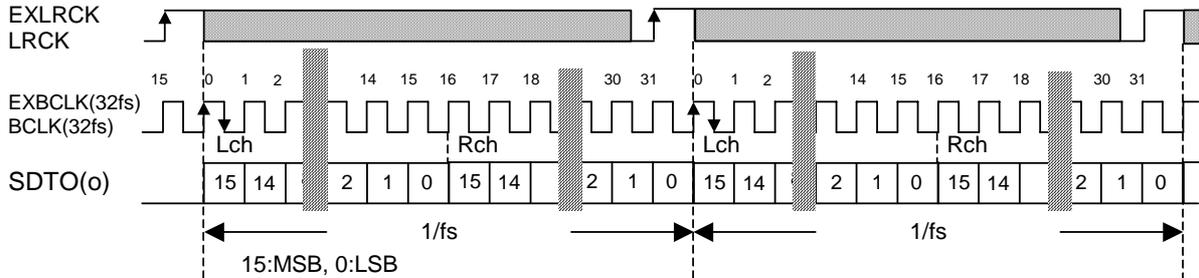


Figure 28. Mode 0 Timing (BCKP = "0", MSBS = "1", M/S = "0" or "1")

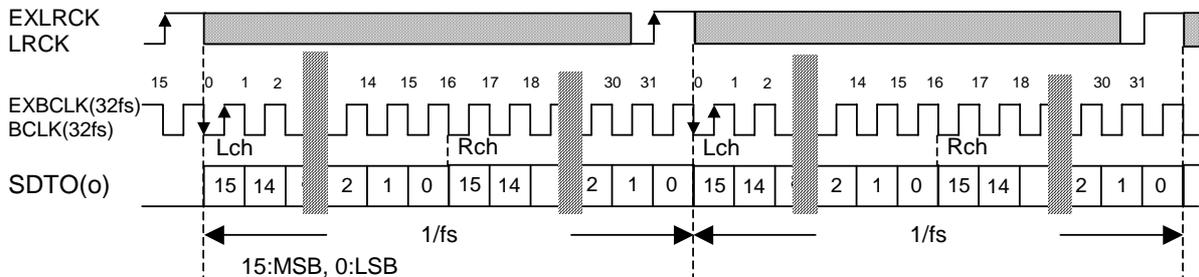


Figure 29. Mode 0 Timing (BCKP = "1", MSBS = "1", M/S = "0" or "1")

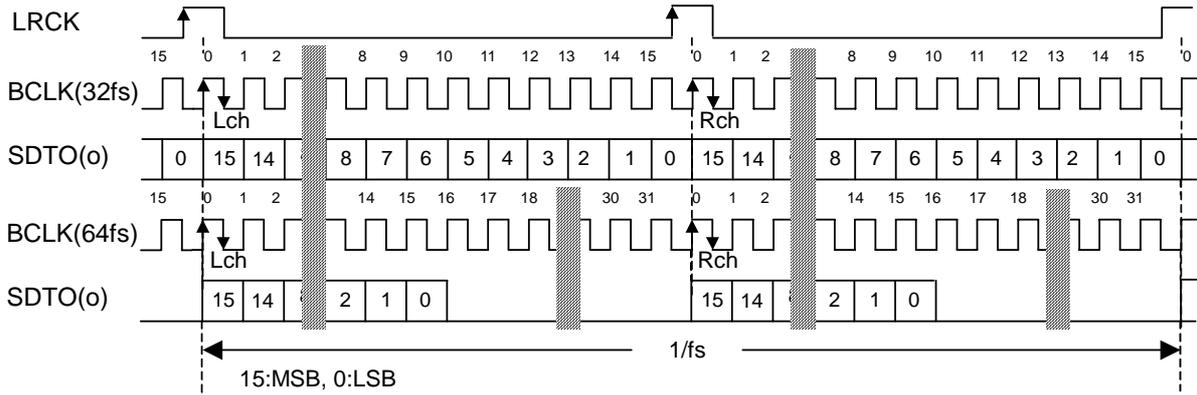


Figure 30. Mode 1 Timing (BCKP = “0”, MSBS = “0”, M/S = “1”)

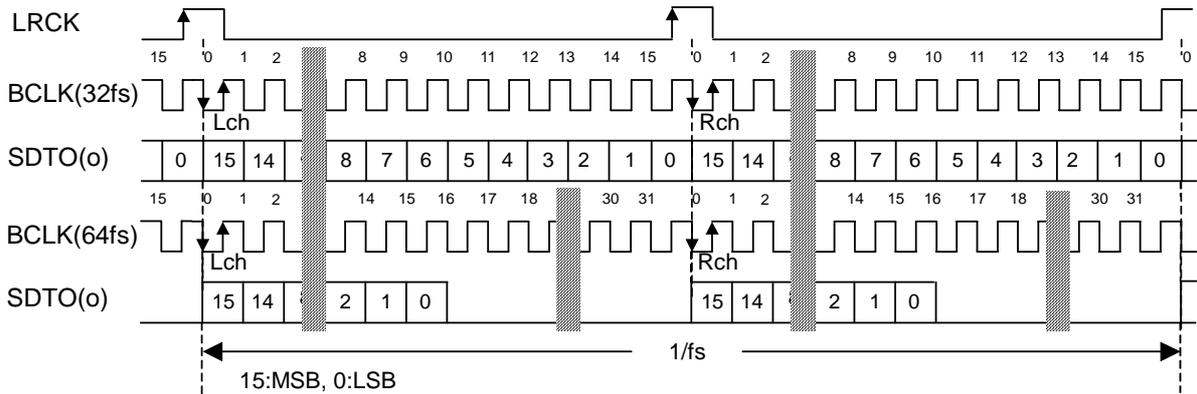


Figure 31. Mode 1 Timing (BCKP = “1”, MSBS = “0”, M/S = “1”)

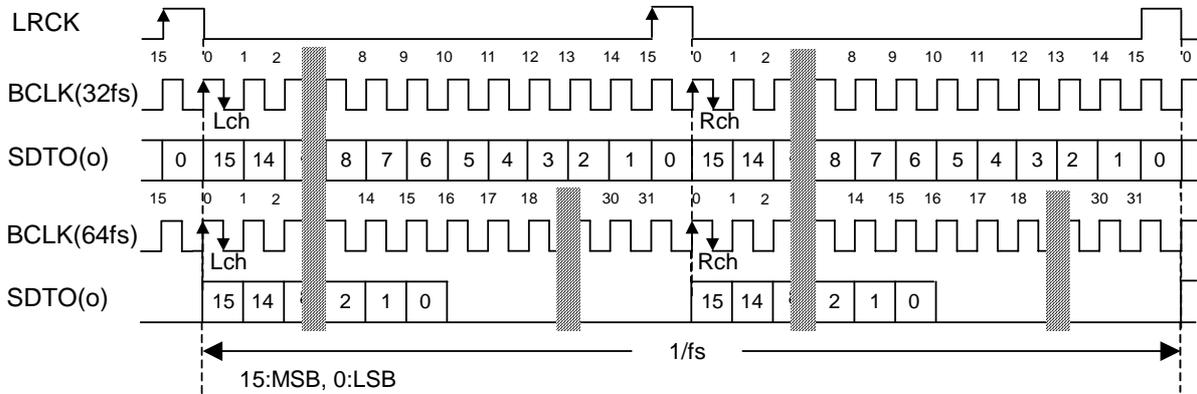


Figure 32. Mode 1 Timing (BCKP = “0”, MSBS = “1”, M/S = “1”)

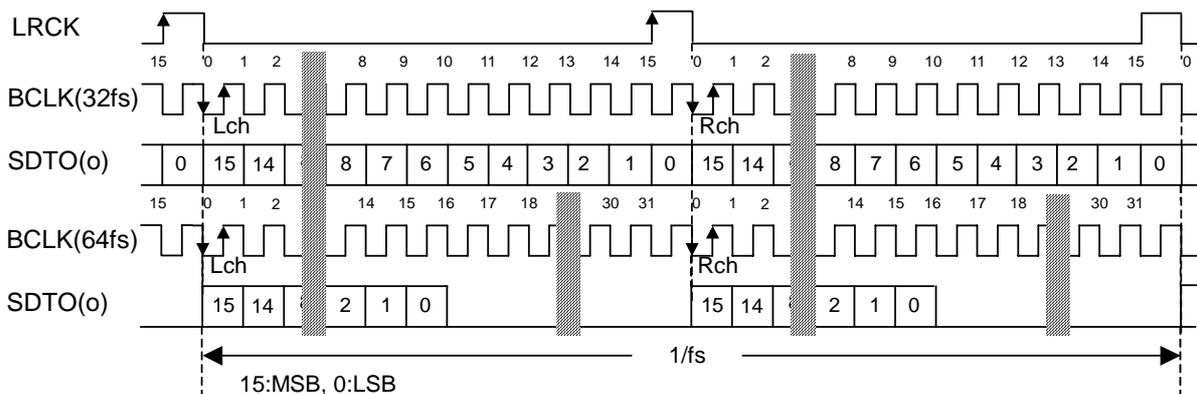


Figure 33. Mode 1 Timing (BCKP = “1”, MSBS = “1”, M/S = “1”)

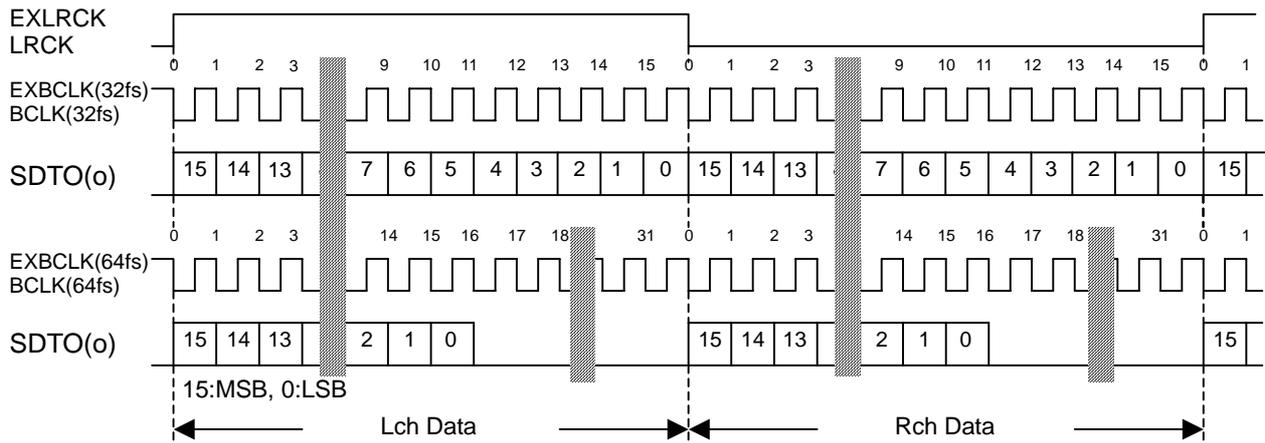


Figure 34. Mode 2 タイミング(前詰め, M/S = “0” or “1”)

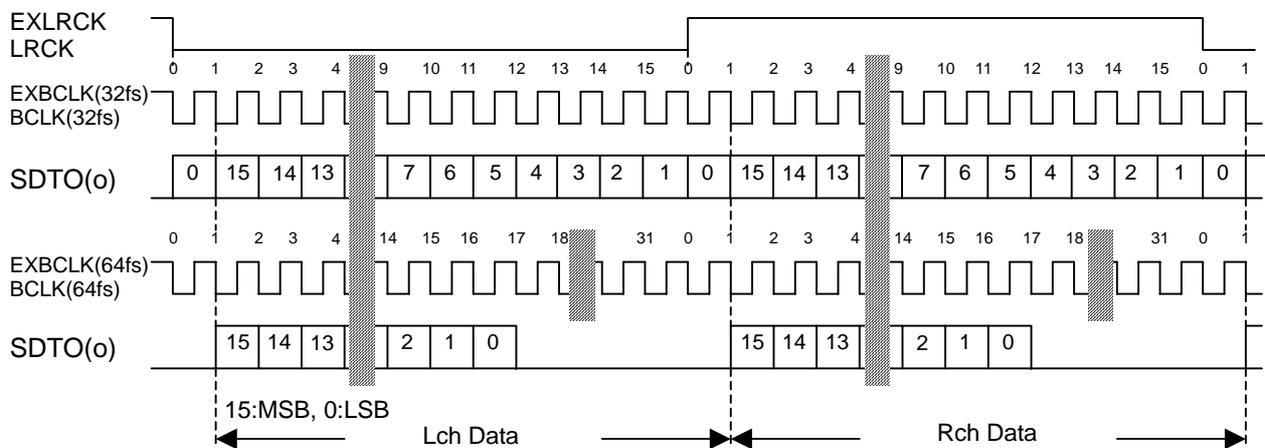


Figure 35. Mode 3 タイミング(I²S, M/S = “0” or “1”)

■ モノラル/ステレオ切替

PMADL, PMADR, MIX bitsの設定によりADC出力データのモノラル/ステレオを切り替えることができます。下表のデータに対してALC動作(ALC bit = “1”)またはデジタルボリューム動作(ALC bit = “0”)が行われます。

PMADL bit	PMADR bit	MIX bit	ADC Lch data	ADC Rch data
0	0	x	All “0”	All “0”
0	1	x	Rch Input Signal	Rch Input Signal
1	0	x	Lch Input Signal	Lch Input Signal
1	1	0	Lch Input Signal	Rch Input Signal
		1	(L+R)/2	(L+R)/2

Default

Table 17. モノラル/ステレオ切替 (x: Don’t care)

■ デジタルHPF

AK5701はDCオフセットキャンセル用のHPFを内蔵しています。HPFのカットオフ周波数はHPF1-0 bitsで選択します。カットオフ周波数はサンプリング周波数(fs)に比例します。初期値は3.4Hz (@fs= 44.1kHz)です。

HPF1 bit	HPF0 bit	fc			Default
		fs=44.1kHz	fs=22.05kHz	fs=11.025kHz	
0	0	3.4Hz	1.7Hz	0.85Hz	
0	1	6.8Hz	3.4Hz	1.7Hz	
1	0	13.6Hz	6.8Hz	3.4Hz	
1	1	N/A	N/A	N/A	

Table 18. デジタルHPFカットオフ周波数

■ マイク / ライン入力セクタ

AK5701は入力セクタを内蔵しています。MDIF1, MDIF2 bit = “0”のとき、INL, INR bitにより、LIN1/LIN2, RIN1/RIN2をそれぞれ切り替えることができます。MDIF1, MDIF2 bit = “1”のとき、LIN1, RIN1, LIN2, RIN2 pin はそれぞれLIN+, LIN-, RIN-, RIN+ pinとなり、差動入力が可能です(Figure 37)。

MDIF1 bit	MDIF2 bit	INL bit	INR bit	Lch	Rch	Default
0	0	0	0	LIN1	RIN1	
			1	LIN1	RIN2	
		1	0	LIN2	RIN1	
			1	LIN2	RIN2	
1	1	0	x	LIN1	RIN+/-	
		1	x	N/A	N/A	
	0	x	0	N/A	N/A	
		x	1	LIN+/-	RIN2	
1	1	x	x	LIN+/-	RIN+/-	

Table 19. MIC/Line In Path Select

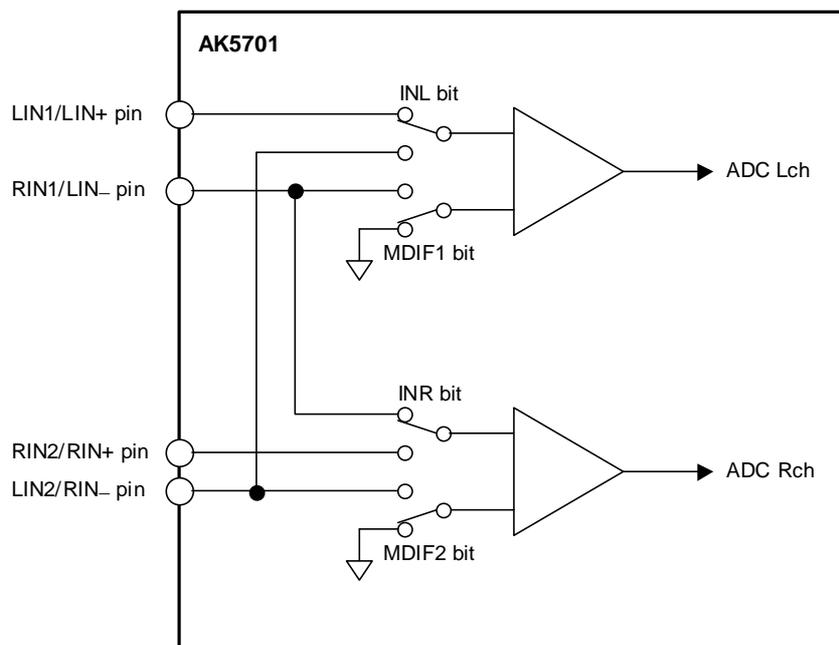


Figure 36. マイク / ライン入力セクタ

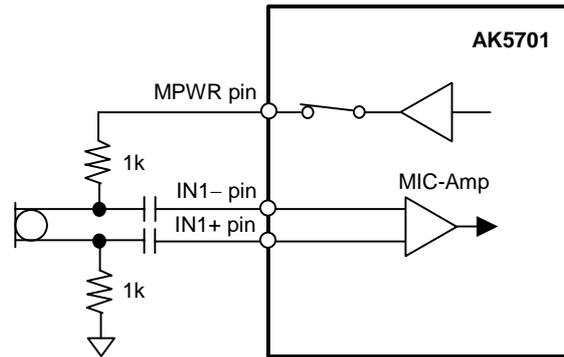


Figure 37. 差動マイク入力回路例(MDIF1/2 bits = “1”)

■ マイク用ゲインアンプ

AK5701はマイク用ゲインアンプを内蔵しています。MGAIN1-0 bitによりゲインを設定することができます (Table 20)。入力インピーダンスはMGAIN1-0 bits = “00”のときtyp. 60kΩ、MGAIN1-0 bits = “01”, “10”のときtyp. 30kΩです。

MGAIN1 bit	MGAIN0 bit	Input Gain
0	0	0dB
0	1	+15dB
1	0	+30dB
1	1	N/A

Default

Table 20. マイク入力ゲイン

■ マイクパワー

PMMP bit = “1”のとき、MPWR pinからマイク用の電源を供給することができます。出力電圧は(0.75 x AVDD)V (typ)に比例し、負荷抵抗は、min. 0.5kΩです。ステレオマイク2系統の場合は各チャンネル min. 2kΩです。MPWR pinにコンデンサは接続しないで下さい。(Figure 38参照)

PMMP bit	MPWR pin
0	Hi-Z
1	Output

Default

Table 21. マイクパワー

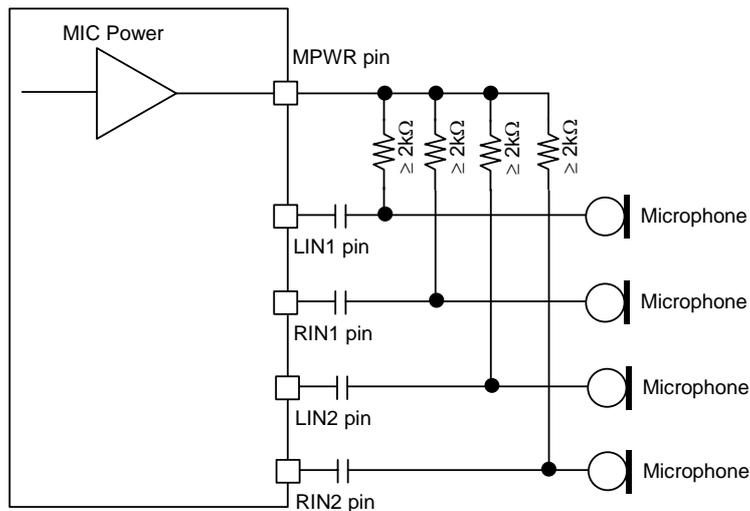


Figure 38. MIC Block Circuit

■ ALC動作

ALC bit = “1”のとき、ALCブロックにより、ALC動作が行われます。

1. ALCリミッタ動作

ALCリミッタ動作ではLch, Rchの出力レベルのどちらか一方でもALCリミッタ検出設定レベル(Table 22)を越えた場合、LMAT1-0 bitで設定した値(Table 23)だけ、IVL, IVR値(L/R共通)を自動的に減衰させます。このときIVL, IVR値の変更はL/R共通で行われます。

ZELMN bit = “0”(ゼロクロス検出有効)のとき、ALCリミッタ動作によりIVL, IVR値が変更されるのは、L/R独立にそれぞれゼロクロスするかゼロクロスタイムアウトしたときです。ゼロクロスタイムアウト時間はALCリカバリ時間と共通で、ZTM1-0 bitにて設定できます(Table 24)。

ZELMN bit = “1”(ゼロクロス検出無効)のとき、ALCリミッタ動作によりIVL, IVR値は瞬時(周期: 1/fs)に変更されます。リミッタ動作の減衰量はLMAT1-0 bitの設定にかかわらず1 step固定です。

減衰動作終了後でもALC bitを“0”にしない限り、再び出力レベルがALCリミッタ検出レベルを越えれば、この減衰動作は繰り返されます。

LMTH1	LMTH0	ALCリミッタ検出レベル	ALCリカバリ待機カウンタリセットレベル	
0	0	ALC Output \geq -2.5dBFS	-2.5dBFS > ALC Output \geq -4.1dBFS	Default
0	1	ALC Output \geq -4.1dBFS	-4.1dBFS > ALC Output \geq -6.0dBFS	
1	0	ALC Output \geq -6.0dBFS	-6.0dBFS > ALC Output \geq -8.5dBFS	
1	1	ALC Output \geq -8.5dBFS	-8.5dBFS > ALC Output \geq -12dBFS	

Table 22. ALC リミッタ検出レベル/リカバリ待機カウンタリセットレベル

ZELMN	LMAT1	LMAT0	ALC リミッタATTステップ		
0	0	0	1 step	0.375dB	Default
	0	1	2 step	0.750dB	
	1	0	4 step	1.500dB	
	1	1	8 step	3.000dB	
1	x	x	1step	0.375dB	

Table 23. ALC リミッタATTステップの設定

ZTM1	ZTM0	ゼロクロスタイムアウト時間				
			8kHz	16kHz	44.1kHz	
0	0	128/fs	16ms	8ms	2.9ms	Default
0	1	256/fs	32ms	16ms	5.8ms	
1	0	512/fs	64ms	32ms	11.6ms	
1	1	1024/fs	128ms	64ms	23.2ms	

Table 24. ALCゼロクロスタイムアウト時間の設定

2. ALCリカバリ動作

ALCリカバリ動作は、WTM1-0で設定された時間(Table 25)待機を行い、この間、出力信号がALCリカバリ待機カウンタリセットレベル(Table 22)を越すことがなければALCリカバリ動作を行います。このALCリカバリ動作は設定された基準レベル(Table 27)までZTM1-0で設定した時間(Table 24)でゼロクロス検出動作を行いながら、RGAIN1-0 bitで設定した値(Table 26)だけIVL, IVR値(L/R共通)を自動的に増加させます。このALCリカバリ動作はWTM1-0で設定した周期で行われます。ただし、WTM1-0の設定よりZTM1-0の設定が長く、信号がゼロクロスしない場合、ZTM1-0の周期でALCリカバリ動作が行われます。

例えば、現在のIVL, IVR値が30Hの場合、RGAIN1-0 bit = “01”(2 steps)に設定しておく、ALCリカバリ動作によってIVL, IVR値は32Hに変更され、0.75dB(0.375dB x 2)増加されます。IVL, IVR値が基準レベル(REF7-0)に達した場合、IVL, IVR値の増加は行いません。

また、ALCリカバリ待機中に

(リカバリ待機カウンタリセットレベル) ≤ Output Signal < (リミッタ検出レベル)

となっている場合、待機タイマはリセットされます。そのため、

(リカバリ待機カウンタリセットレベル) > Output Signal

となった時から、待機時間のカウントが開始されます。

また、ALC動作はインパルス性のノイズにも対応したALCになっています。インパルス性のノイズが入力された場合、通常のリカバリ動作よりも早いサイクルでリカバリ動作を行います。例えば、マイクロフォンに瞬間的に大きな音が入力された場合、この動作により大きな音に埋もれた小信号を改善することができます。

WTM1	WTM0	ALCリカバリ周期				Default
			8kHz	16kHz	44.1kHz	
0	0	128/fs	16ms	8ms	2.9ms	
0	1	256/fs	32ms	16ms	5.8ms	
1	0	512/fs	64ms	32ms	11.6ms	
1	1	1024/fs	128ms	64ms	23.2ms	

Table 25. ALCリカバリ待機時間の設定

RGAIN1	RGAIN0	GAIN STEP		Default
0	0	1 step	0.375dB	
0	1	2 step	0.750dB	
1	0	3 step	1.125dB	
1	1	4 step	1.500dB	

Table 26. ALCリカバリゲイン量の設定

REF7-0	GAIN(dB)	Step	Default
F1H	+36.0	0.375dB	
F0H	+35.625		
EFH	+35.25		
:	:		
E2H	+30.375		
E1H	+30.0		
E0H	+29.625		
:	:		
03H	-53.25		
02H	-53.625		
01H	-54.0		
00H	MUTE		

Table 27. ALCリカバリ動作時の基準値設定

3. ALC動作設定手順例

Table 28は、録音パスの場合のALC設定例です。

Register Name	Comment	fs=8kHz		fs=44.1kHz	
		Data	Operation	Data	Operation
LMTH	Limiter detection Level	01	-4.1dBFS	01	-4.1dBFS
ZELMN	Limiter zero crossing detection	0	Enable	0	Enable
ZTM1-0	Zero crossing timeout period	00	16ms	10	11.6ms
WTM1-0	Recovery waiting period *WTM1-0 bits should be the same data as ZTM1-0 bits	00	16ms	10	11.6ms
REF7-0	Maximum gain at recovery operation	E1H	+30dB	E1H	+30dB
IVL7-0, IVR7-0	Gain of IVOL	91H	0dB	91H	0dB
LMAT1-0	Limiter ATT step	00	1 step	00	1 step
RGAIN1-0	Recovery GAIN step	00	1 step	00	1 step
ALC	ALC enable	1	Enable	1	Enable

Table 28. ALC設定例

ALC動作中は、以下のビットへの変更を禁止します。これらのビットを変更する場合は、ALC動作を終了(ALC bit = "0"またはPMADL = PMADR bits = "0")してから行って下さい。

• LMTH, LMAT1-0, WTM1-0, ZTM1-0, RGAIN1-0, REF7-0, ZELMNの各ビット

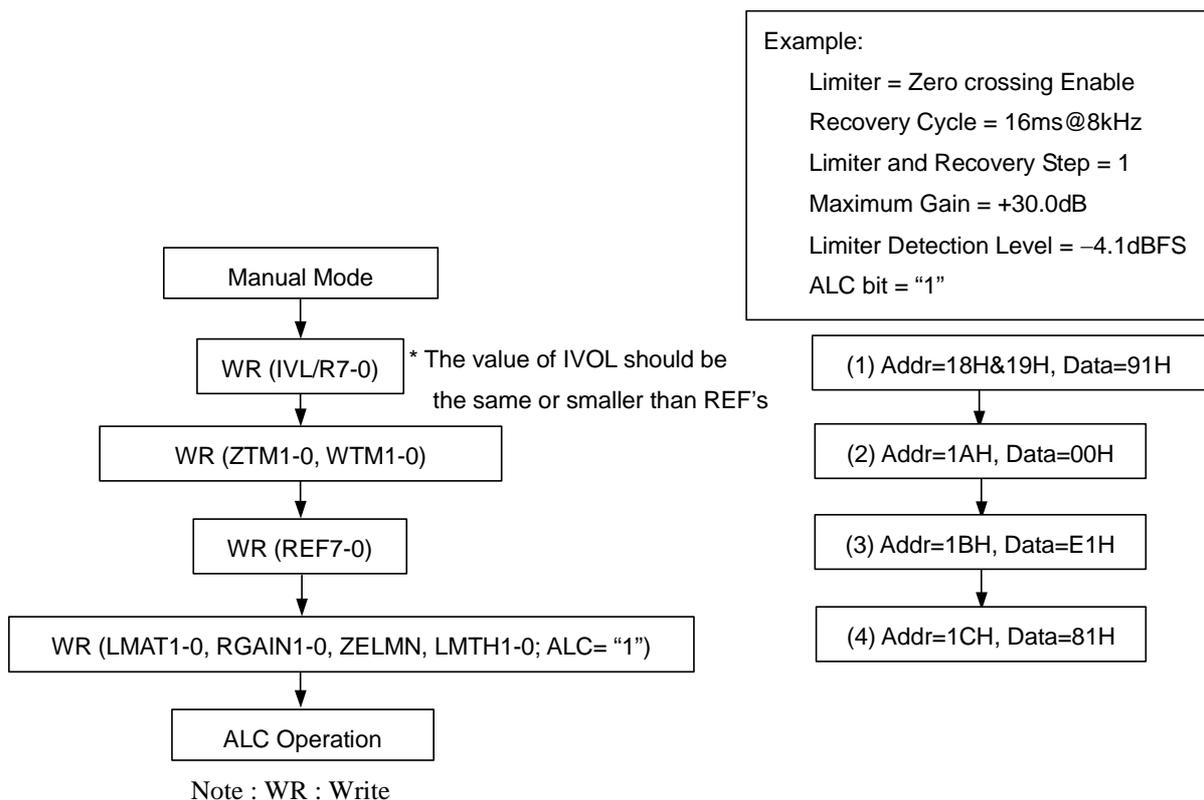


Figure 39. ALC動作設定手順例

■ 入力デジタルボリューム (マニュアルモード時)

ALC bit = “0”のとき、入力デジタルボリュームはマニュアルモードになります。このモードは以下の場合に使用します。

1. リセット解除後、ALC動作に関するレジスタ設定(ZTM1-0, LMTHなど)を行う場合。
2. サンプリング周波数の変更に伴い、リミッタ/リカバリ周期などALC動作に関するレジスタ変更を行う場合。
3. 入力デジタルボリュームをマニュアルボリュームとして使用する場合。

入力デジタルボリュームのゲイン量はIVL7-0, IVR7-0 bitで設定します(Table 29)。ボリューム変更時、L/R独立にゼロクロス検出動作を行います。ゼロクロスタイムアウト時間はZTM1-0 bitで設定することができます。

PMADL = PMADR bits = “0”のときにIVL7-0, IVR7-0 bitsに書き込みを行うと、PMADL bit = “1” or PMADR bit = “1”に書き換えてからADCの初期化サイクル後に、その設定値でIVOLが動作を開始します。

IVL7-0 IVR7-0	GAIN (dB)	Step
F1H	+36.0	0.375dB Default
F0H	+35.625	
EFH	+35.25	
:	:	
92H	+0.375	
91H	0.0	
90H	-0.375	
:	:	
03H	-53.25	
02H	-53.625	
01H	-54	
00H	MUTE	

Table 29. 入力デジタルボリュームの設定値

IVL7-0, IVR7-0 bitの書き込みを続けて行う場合は、ゼロクロスタイムアウト時間以上の間隔をあけて行って下さい。所定の間隔をあけないで書き込みを行うと、ゼロクロスカウンタが毎回リセットされボリュームが切り替わりません。ただし、書き込むレジスタ値が前回と同じ値の場合は書き込みが無視され、ゼロクロスカウンタはリセットされないで、ゼロクロスタイムアウト時間より短い間隔で書き込みを行うことができます。

ALC bit	[Transition from 0 to 1]		
ALC Status	Disable	Enable	Disable
IVL7-0 bits	E1H(+30dB)		
IVR7-0 bits	C6H(+20dB)		
Internal IVL	E1H(+30dB)	E1(+30dB) --> F1(+36dB)	E1(+30dB)
Internal IVR	C6H(+20dB)	E1(+30dB) --> F1(+36dB)	C6H(+20dB)

Figure 40. ALC動作中のIVOL動作例

- (1) ALC開始時にIVLとIVRの値が異なっている場合は、IVLの値がスタート値になります。ALC bit = “1”を書き込んでからIVL7-0 bitsの値でALC動作を開始するまでの待ち時間は最大でリカバリ待機時間(WTM1-0 bits) + ゼロクロスタイムアウト時間(ZTM1-0 bits)です。
- (2) ALC動作中は、IVL, IVRのレジスタ(18H, 19H)に書き込みを行っても反映されません。ALCがDisableされた後、ゼロクロスまたはゼロクロスタイムアウト時にその値が反映されます。再度ALCをEnableする場合は、ALC bit = “0”の後、ゼロクロスタイムアウト時間以上の間隔を空けてALC bit = “1”を設定して下さい。

■ システムリセット

電源立ち上げ時には、PDN pinに一度“L”を入力してリセットを行って下さい。システムリセットが行われると、AK5701の内部レジスタは全て初期値になります。

PMADL=PMADR bits = “0”の状態からPMADL bitまたはPMADR bitを “0” → “1”に変更することで、ADCの初期化サイクルが開始されます。初期化サイクルはHPF1-0 bits = “00”のとき3088/fs=70.0ms@fs=44.1kHzです (Table 30)。初期化サイクル中のADC出力データは2’sコンプリメントの“0”です。初期化サイクル終了後、ADCの出力はアナログ入力信号に相当するデータにセトリングします。

HPF1 bit	HPF0 bit	Init Cycle			
		Cycle	fs=44.1kHz	fs=22.05kHz	fs=11.025kHz
0	0	3088/fs	70.0ms (推奨値)	140.0ms	280.1ms
0	1	1552/fs	35.2ms	70.4ms (推奨値)	140.8ms
1	0	784/fs	17.8ms	35.6ms	71.1ms (推奨値)
1	1	N/A	N/A	N/A	N/A

Default

Table 30. ADC初期化サイクル設定

■ シリアルコントロールインタフェース

レジスタ設定は3線式シリアルI/Fピン(CSN, CCLK, CDTI)で書き込みを行います。CSP pinの設定によりCSN pinの極性とChip addressが切り替わります。

1) CSP pin = “L”のとき

I/F上のデータはChip address (2bits, “10”固定), Read/Write (1bit, “1”固定), Register address (MSB first, 5bits) と Control Data (MSB first, 8bits)で構成されます。データ送信側はCCLKの“↓”で各ビットを出力し、受信側は“↑”で取り込みます。データの書き込みはCSNの“↓”後16回目のCCLK “↑”で有効になります。CCLKのクロックスピードは7MHz (max)です。PDN pin = “L”でレジスタの値はリセットされます。

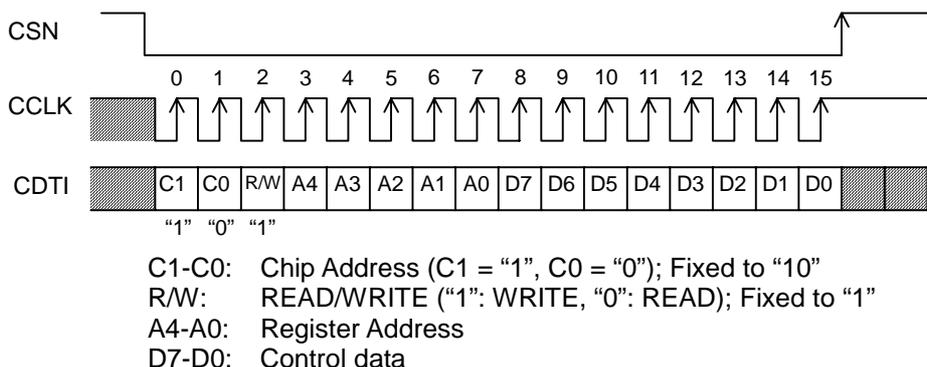


Figure 41. シリアルコントロールインタフェースタイミング(CSP pin = “L”)

2) CSP pin = “H”のとき

I/F上のデータはChip address (2bits, “01”固定), Read/Write (1bit, “1”固定), Register address (MSB first, 5bits) と Control Data (MSB first, 8bits)で構成されます。データ送信側はCCLKの“↓”で各ビットを出力し、受信側は“↑”で取り込みます。データの書き込みはCSNの“↑”後16回目のCCLK “↑”で有効になります。CCLKのクロックスピードは7MHz (max)です。PDN pin = “L”でレジスタの値はリセットされます。

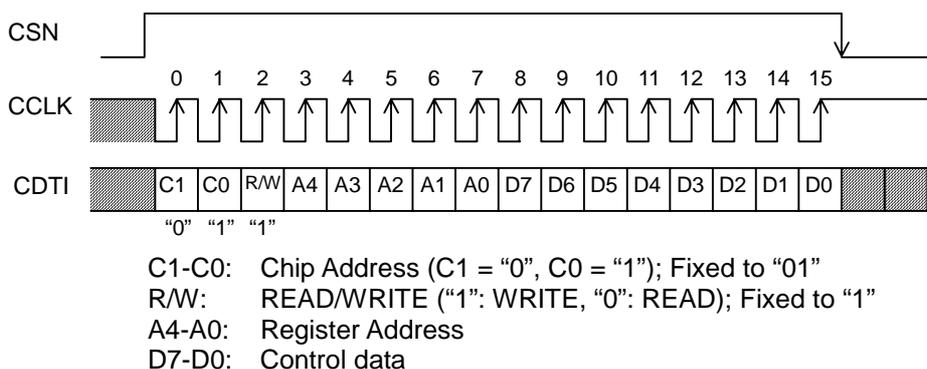


Figure 42. シリアルコントロールインタフェースタイミング(CSP pin = “H”)

■ レジスタマップ

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
10H	Power Management	0	0	0	0	0	PMVCM	PMADR	PMADL
11H	PLL Control	0	0	PLL3	PLL2	PLL1	PLL0	M/S	PMPLL
12H	Signal Select	0	0	0	PMMP	MDIF2	MDIF1	INR	INL
13H	Mic Gain Control	0	0	0	0	0	0	MGAIN1	MGAIN0
14H	Audio Format Select	0	0	1	MIX	MSBS	BCKP	DIF1	DIF0
15H	fs Select	HPF1	HPF0	BCKO1	BCKO0	FS3	FS2	FS1	FS0
16H	Clock Output Select	0	0	0	0	THR	MCKO	PS1	PS0
17H	Volume Control	0	0	0	0	0	0	0	IVOLC
18H	Lch Input Volume Control	IVL7	IVL6	IVL5	IVL4	IVL3	IVL2	IVL1	IVL0
19H	Rch Input Volume Control	IVR7	IVR6	IVR5	IVR4	IVR3	IVR2	IVR1	IVR0
1AH	Timer Select	0	0	0	0	ZTM1	ZTM0	WTM1	WTM0
1BH	ALC Mode Control 1	REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0
1CH	ALC Mode Control 2	ALC	ZELMN	LMAT1	LMAT0	RGAIN1	RGAIN0	LMTH1	LMTH0
1DH	Mode Control 1	TE3	TE2	TE1	TE0	0	0	0	0
1EH	Mode Control 2	0	0	0	0	0	0	TMASTER	0

Note 29. PDN pinを“L”にすると、レジスタ値は初期化されます。

Note 30. “0”で指定されたビットへの“1”の書き込みは禁止です。“1”で指定されたビットへの“0”の書き込みは禁止です。また、アドレス10H-1EH以外への書き込みは禁止です。

■ 詳細説明

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
10H	Power Management	0	0	0	0	0	PMVCM	PMADR	PMADL
	Default	0	0	0	0	0	0	0	0

PMADL: MIC-Amp Lch, ADC Lchのパワーマネジメント

0: Power down (Default)

1: Power up

PMADR: MIC-Amp Rch, ADC Rchのパワーマネジメント

0: Power down (Default)

1: Power up

PMADLまたはPMADR bitを“0”から“1”に変更すると、初期化サイクル(3088/fs=70.0ms@fs=44.1kHz, HPF1-0 bits = “00”)が開始されます。初期化サイクル終了後、ADCはデータを出力します。

PMVCM: VCOMのパワーマネジメント

0: Power down (Default)

1: Power up

各ブロックを動作させる場合は、必ずPMVCM bitを“1”にしなければなりません。PMVCM bitに対して“0”を書き込むことができるのは、PMADL, PMADR, PMPLL, PMMP, MCKO bitsを“0”にする時だけです。

このアドレスのビットをON/OFF (“1”/“0”)することで部分的にパワーダウンすることができます。また、PDN pinを“L”にすることで、レジスタの内容に関係なく、全回路を一度にパワーダウンすることができます。このときレジスタ値は初期化されます。

また、PMVCM, PMADL, PMADR, PMPLL, MCKO bitsをすべて“0”にすることで、全回路を一度にパワーダウンすることができます。このときレジスタの内容は保持されています。消費電流は20 μ A(typ)なので、完全にシャットダウン(typ. 1 μ A)するにはPDN pin = “L”として下さい。

ADCを使用しない場合、クロックを供給する必要はありません。ADCを使用する場合はクロックを供給して下さい。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
11H	PLL Control	0	0	PLL3	PLL2	PLL1	PLL0	M/S	PMPLL
	Default	0	0	1	0	0	1	0	0

PMPLL: PLLのパワーマネジメント

0: EXT Mode and Power Down (Default)

1: PLL Mode and Power up

M/S: Master / Slave Modeの選択

0: Slave Mode (Default)

1: Master Mode

PLL3-0: PLL基準クロックの選択(See Table 4)

Default: “1001”(MCKI pin=12MHz)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
12H	Signal Select	0	0	0	PMMP	MDIF2	MDIF1	INR	INL
	Default	0	0	0	0	0	0	0	0

INL: ADC Lch入力ソース選択

0: LIN1 pin (Default)

1: LIN2 pin

INR: ADC Rch入力ソース選択

0: RIN1 pin (Default)

1: RIN2 pin

MDIF1: ADC Lch入力形式設定

0: シングルエンド入力 (LIN1/LIN2 pin: Default)

1: 差動入力 (LIN+/LIN- pin)

MDIF2: ADC Rch入力形式設定

0: シングルエンド入力 (RIN1/RIN2 pin: Default)

1: 差動入力 (RIN+/RIN- pin)

PMMP: MPWR pinのパワーマネジメント

0: Power down: Hi-Z (Default)

1: Power up

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
13H	Mic Gain Control	0	0	0	0	0	0	MGAIN1	MGAIN0
	Default	0	0	0	0	0	0	0	1

MGAIN1-0: マイクアンプのゲインコントロール(See Table 20)

Default: "01"(+15dB)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
14H	Audio Format Select	0	0	1	MIX	MSBS	BCKP	DIF1	DIF0
	Default	0	0	1	0	0	0	1	1

DIF1-0: オーディオインタフェースフォーマット (See Table 15)

Default: "11" (I²S)

BCKP: DSP Mode時のBCLK/EXBCLK極性設定 (See Table 16)

"0": "↑"でSDTO出力(Default)

"1": "↓"でSDTO出力

MSBS: DSP Mode時のLRCK/EXLRCK位相設定 (See Table 16)

"0": LRCK/EXLRCKの "↑"がチャンネル切替のBCLK/EXBCLK 半周期前(Default)

"1": LRCK/EXLRCKの "↑"がチャンネル切替のBCLK/EXBCLK 1周期前

MIX: ADC出力データ切替(see Table 17)

"0": Normal operation (Default)

"1": (L+R)/2

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
15H	fs Select	HPF1	HPF0	BCKO1	BCKO0	FS3	FS2	FS1	FS0
	Default	0	0	0	1	1	1	1	1

FS3-0: サンプリング周波数(See Table 5 and Table 6)及びMCKI周波数の設定(See Table 11)

Default: "1111" (44.1kHz)

PLLモード時はサンプリング周波数の設定を行い、EXTモード時はMCKIの入力周波数を設定します。

BCKO1-0: マスタモード時のBCLK出力周波数の設定 (See Table 10)

Default: "01" (32fs)

HPF1-0: オフセットキャンセルHPFカットオフ周波数およびADC初期化サイクル設定(Table 18, Table 30)

Default: "00" (fc=3.4Hz@fs=44.1kHz, Init Cycle=3088/fs)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
16H	Clock Output Select	0	0	0	0	THR	MCKO	PS1	PS0
	Default	0	0	0	0	0	0	0	0

PS1-0: MCKO周波数の設定(Table 9)

Default: "00"(256fs)

MCKO: MCKO信号の制御

0: Disable: MCKO pin = "L" (Default)

1: Enable: Output frequency is selected by PS1-0 bits.

THR: パイパスモード設定(Table 14)

0: OFF (Default)

1: ON

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
17H	Volume Control	0	0	0	0	0	0	0	IVOLC
	Default	0	0	0	0	0	0	0	1

IVOLC: IVOLのコントロール

0: Independent

1: Dependent (Default)

IVOLC bit = "1" のとき、IVL7-0 bitで両チャンネルのIVOLが変化します。但し、IVR7-0 bitにIVL7-0 bitの値は書き込まれません。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
18H	Lch Input Volume Control	IVL7	IVL6	IVL5	IVL4	IVL3	IVL2	IVL1	IVL0
19H	Rch Input Volume Control	IVR7	IVR6	IVR5	IVR4	IVR3	IVR2	IVR1	IVR0
	Default	1	0	0	1	0	0	0	1

IVL7-0, IVR7-0: 入力デジタルボリューム; 0.375dB step, 242 Level (Table 29)

Default: "91H" (0dB)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
1AH	Timer Select	0	0	0	0	ZTM1	ZTM0	WTM1	WTM0
	Default	0	0	0	0	0	0	0	0

WTM1-0: ALCリカバリ待機時間の設定(see Table 25)

Default: "00" (128/fs)

ALC動作中にリミッタ動作が発生しない場合、リカバリ動作を行う周期を設定します。

ZTM1-0: ALCゼロクロスタイムアウト時間の設定(see Table 24)

Default: "00" (128/fs)

マイコン書き込み動作、ALCリカバリ動作により、ゲインが変更されるのは、ゼロクロスするかまたはタイムアウトした場合です。

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
1BH	ALC Mode Control 1	REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0
	Default	1	1	1	0	0	0	0	1

REF7-0: ALCリカバリ動作時の基準値の設定。0.375dB step, 242 Level (Table 27)

Default: "E1H" (+30.0dB)

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
1CH	ALC Mode Control 2	ALC	ZELMN	LMAT1	LMAT0	RGAIN1	RGAIN0	LMTH1	LMTH0
	Default	0	0	0	0	0	0	0	0

LMTH1-0: ALCリミッタ検出設定レベル/リカバリ待機カウンタリセットレベル(see Table 22)

Default: "00"

RGAIN1-0: ALCリカバリゲインステップ(see Table 26)

Default: "00"

LMAT1-0: ALCリミッタATTステップ(see Table 23)

Default: "00"

ZELMN: ALCリミッタ動作時ゼロクロス検出イネーブル

0: Enable (Default)

1: Disable

ALC: ALCイネーブル

0: ALC Disable (Default)

1: ALC Enable

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
1DH	Mode Control 1	TE3	TE2	TE1	TE0	0	0	0	0
	Default	1	0	1	0	0	0	0	0

TE3-0: EXT Master Mode Enable

“0101”を書き込むと1EHへの書き込みが有効になります。

EXT Master Mode以外のモードでは“1010”に設定して下さい。

“1010”, “0101”以外の設定にしないで下さい。

Default: “1010”

Addr	Register Name	D7	D6	D5	D4	D3	D2	D1	D0
1EH	Mode Control 2	0	0	0	0	0	0	TMASTER	0
	Default	0	0	0	0	0	0	0	0

TMASTER: EXT Master Mode

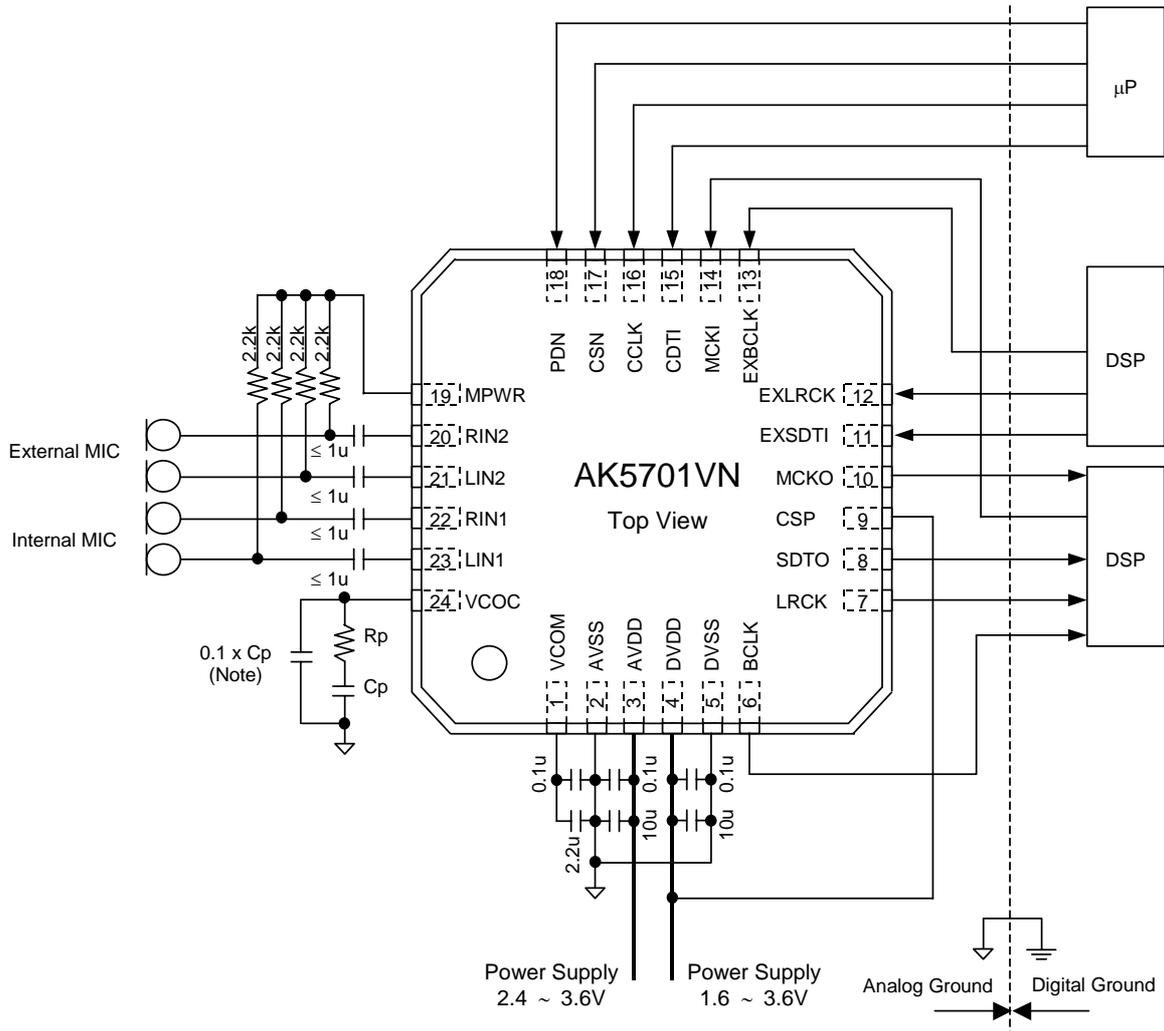
このビットへの書き込みはTE3-0 bits = “0101”のときのみ有効です。

0: Except EXT Master Mode (Default)

1: EXT Master Mode

システム設計

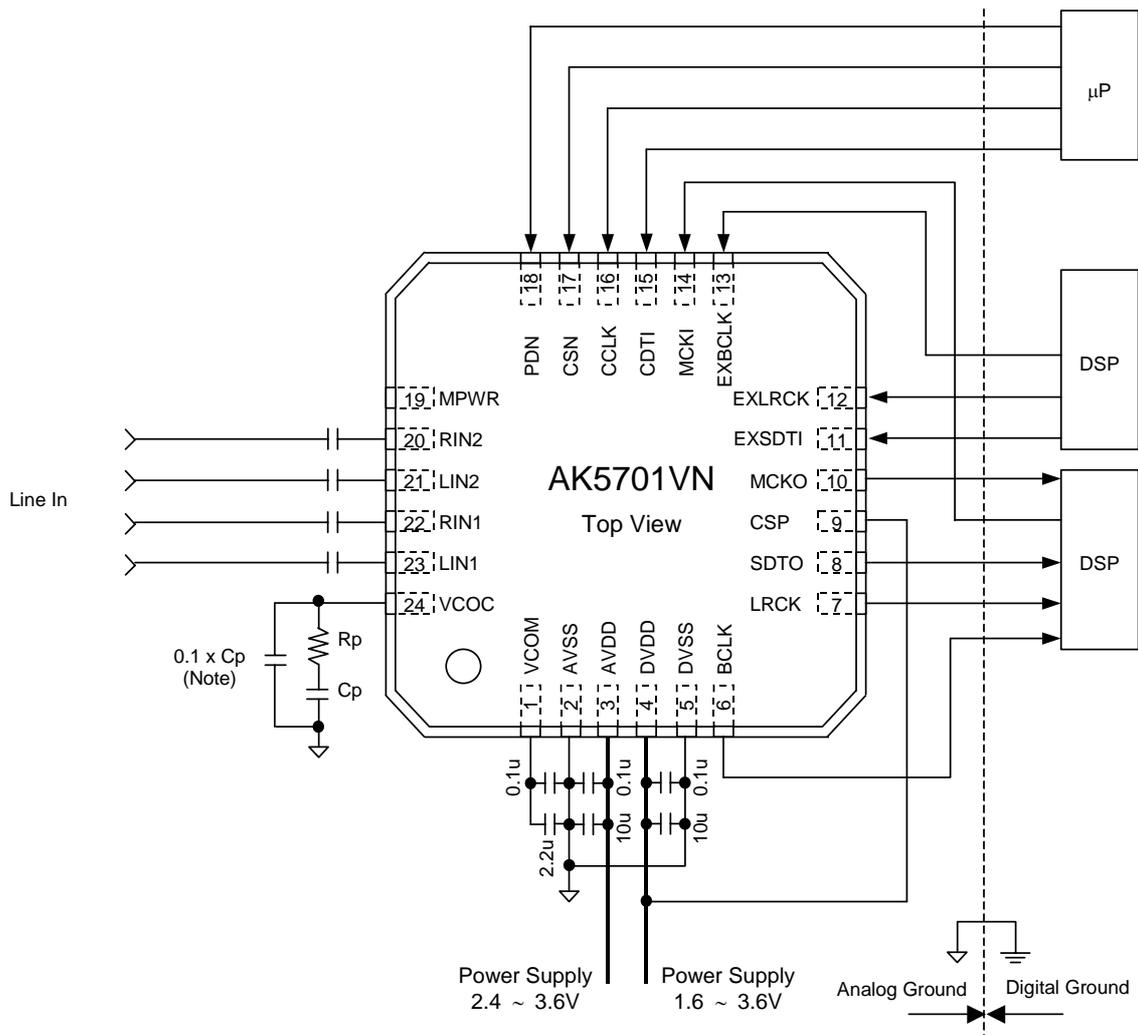
Figure 43およびFigure 44はシステム接続例です。具体的な回路と測定例については評価ボード(AKD5701)を参照して下さい。



Note:

- AK5701のAVSS, DVSSと周辺コントローラ等のグラウンドは分けて配線して下さい。
- デジタル入力ピンはオープンにしないで下さい。
- EXTモード(PMPLL bit = "0")の場合、VCO pinはオープンで構いません。
- PLLモード(PMPLL bit = "1")の場合、CpとRpはTable 4のようにして下さい。Cp+Rpに並列に0.1 x Cpを接続するとジッタ特性が向上します。
- 100ms以内で録音開始するためには、マイク入力のACカップリングコンデンサを1μF以下にして下さい。

Figure 43. システム接続図(マイク入力時)



Note:

- AK5701のAVSS, DVSSと周辺コントローラ等のグランドは分けて配線して下さい。
- デジタル入力ピンはオープンにしないで下さい。
- EXTモード(PMPLL bit = "0")の場合、VCOC pinはオープンで構いません。
- PLLモード(PMPLL bit = "1")の場合、CpとRpはTable 4のようにして下さい。Cp+Rpに並列に0.1 x Cpを接続するとジッタ特性が向上します。

Figure 44. システム接続図(ライン入力時)

1. グランドと電源のデカップリング

電源とグランドの取り方には十分注意して下さい。通常、AVDD, DVDDにはシステムのアナログ電源を供給します。AVDD, DVDDが別電源で供給される場合には、電源立ち上げシーケンスを考える必要はありません。AVSS, DVSSはアナロググランドに接続して下さい。システムのグランドはアナログとデジタルで分けて配線しPCボード上の電源に近いところで接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

2. 基準電圧

AVDD pinに入力される電圧がアナログ入力レンジを設定します。通常、AVDDとAVSS間に0.1 μ Fのセラミックコンデンサを接続します。VCOMはアナログ信号のコモン電圧として使われます。このピンには高周波ノイズを除去するために2.2 μ F程度の電解コンデンサと並列に0.1 μ FのセラミックコンデンサをAVSSとの間に接続して下さい。特に、セラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCOM pinから電流を取ってはいけません。デジタル信号、特にクロックは変調器へのカップリングを避けるため、VCOM pinからできるだけ離して下さい。

3. アナログ入力

アナログ入力は差動入力またはシングルエンド入力になっており、入力抵抗は60k Ω (typ)@MGAIN1-0 bits = "00", 30k Ω (typ)@MGAIN1-0 bits = "01" or "10"です。入力レンジは内部のコモン電圧(0.5 x AVDD)を中心に0.6 x AVDD Vpp(typ)@MGAIN 1-0 bits = "00"になります。通常、入力信号はコンデンサでDCカットします。この時カットオフ周波数は $f_c=1/(2\pi RC)$ です。出力コードのフォーマットは2'sコンプリメント(2の補数)です。DCオフセット(ADC自体のDCオフセットも含む)は内蔵のHPF($f_c=3.4\text{Hz}$ @HPF1-0 bits = "00", $f_s=44.1\text{kHz}$)でキャンセルされます。AK5701はシングルエンド入力の場合、AVSSからAVDDまでの電圧を入力することができます。

コントロールシーケンス

■ クロックの設定

ADCをPower-up時にはクロックが供給されている必要があります。

1. PLLマスタモードの場合

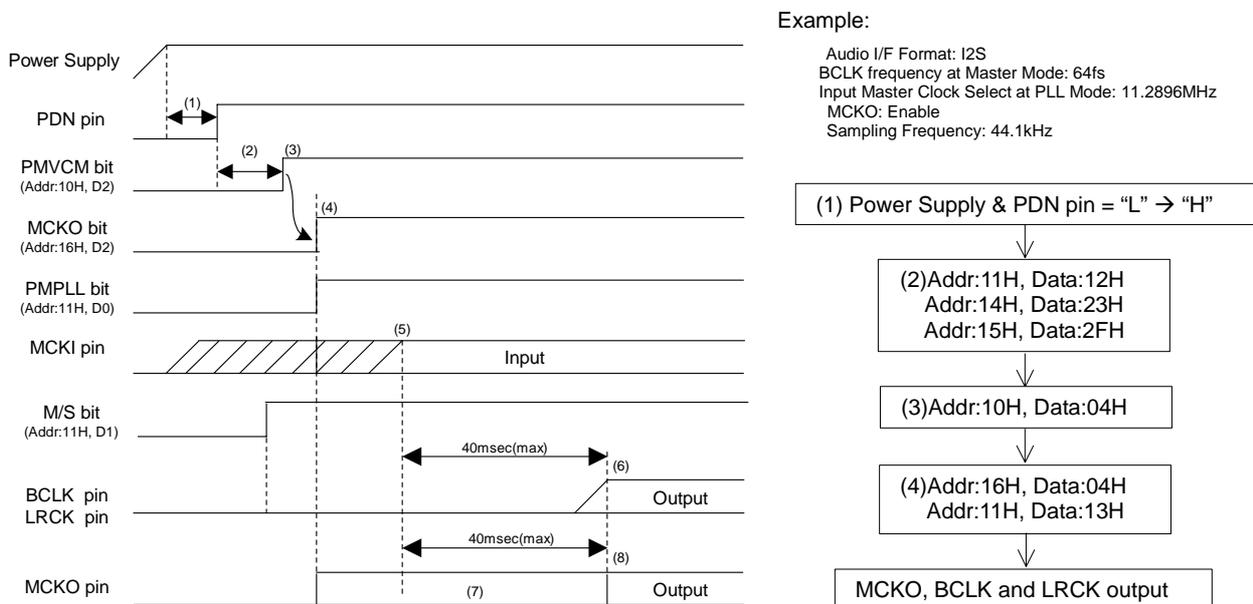


Figure 45. Clock Set Up Sequence (1)

<手順例>

- (1) 電源立ち上げ後、PDN pin "L" → "H"
この区間はAK5701のリセットのため、150ns以上の"L"区間が必要です。
- (2) この区間に、DIF1-0, PLL3-0, FS3-0, BCKO1-0, M/S bitsの設定を次の順番のとおり行って下さい。
(2a) M/S bit = "1", PLL3-0, FS3-0, BCKO1-0の設定
(2b) DIF1-0の設定。
- (3) VCOMのパワーアップ: PMVCM bit = "0" → "1"
各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。
- (4) MCKO出力を使用する場合: MCKO bit = "1"
MCKO出力を使用しない場合: MCKO bit = "0"
- (5) PMPLL bit = "0" → "1"を設定し、MCKI pinにクロックが供給された後、PLL動作がスタートします。
PLLのロック時間はMCKI=12MHzのとき40ms(max)です(Table 4)。
- (6) PLLが安定後、BCLK, LRCKを出力し始め、正常な動作が開始します。
- (7) MCKO bit = "1"の場合、この区間ではMCKO pinから正常でないクロックが出力されます。
- (8) MCKO bit = "1"の場合、PLLが安定後MCKO pinから正常なクロックが出力されます。

2. PLLスレーブモードで外部クロック(EXLRCK or EXBCLK pin)を使用する場合

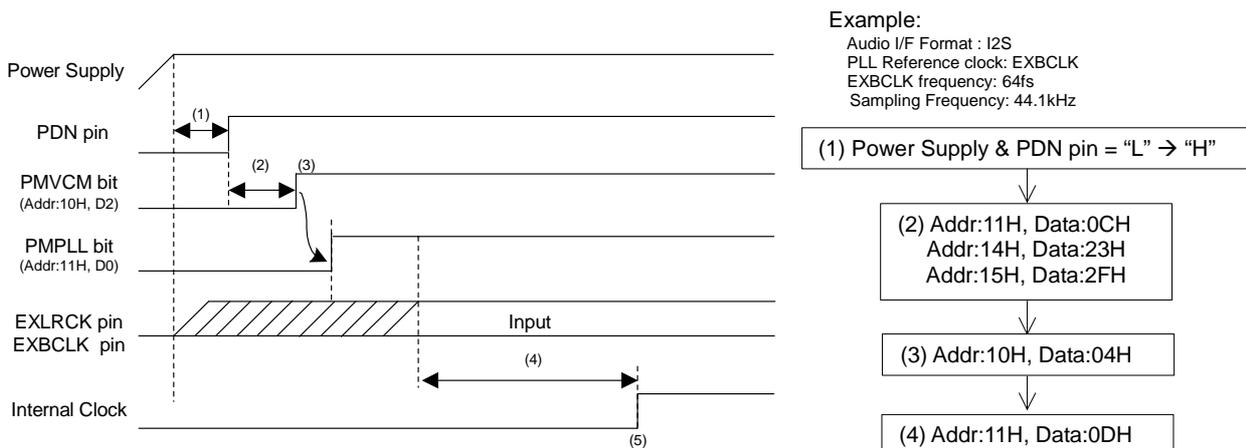


Figure 46. Clock Set Up Sequence (2)

<手順例>

- (1)電源立ち上げ後、PDN pin “L” → “H”
この区間はAK5701のリセットのため、150ns以上の“L”区間が必要です。
- (2)この区間に、DIF1-0, FS3-0, PLL3-0 bitsの設定を行って下さい。
- (3)VCOMのパワーアップ: PMVCM bit = “0” → “1”
各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。
- (4)PMPLL bit = “0” → “1”を設定し、PLL基準クロック(EXLRCK or EXBCLK pin)が供給された後、PLL動作がスタートします。PLLのロック時間はEXLRCKがPLL基準クロック入力の場合、160ms(max), EXBCLKがPLL基準クロックでVCOC pinの外付けが10k+4.7nFの場合、2ms(max)です(Table 4)。
- (5)PLLが安定後、正常な動作が開始します。

3. PLLスレーブモードで外部クロック(MCKI pin)を使用する場合

Example:

Audio I/F Format: I2S
 BCLK frequency at Master Mode: 64fs
 Input Master Clock Select at PLL Mode: 11.2896MHz
 MCKO: Enable
 Sampling Frequency: 44.1kHz

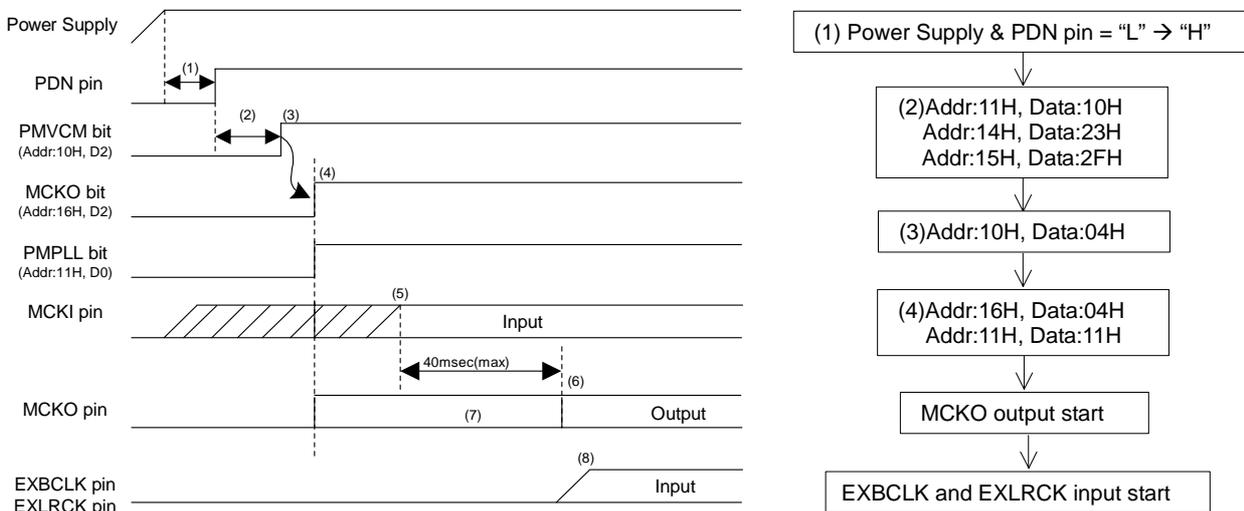


Figure 47. Clock Set Up Sequence (3)

<手順例>

- (1) 電源立ち上げ後、PDN pin “L” → “H”
この区間はAK5701のリセットのため、150ns以上の“L”区間が必要です。
- (2) この区間に、DIF1-0, PLL3-0, FS3-0, BCKO1-0, M/S bitsの設定を行って下さい。
- (3) VCOMのパワーアップ：PMVCM bit = “0” → “1”
各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。
- (4) MCKO 出力の設定: MCKO bit = “1”
- (5) PMPLL bit = “0” → “1”を設定し、MCKI pinにクロックが供給された後、PLL動作がスタートします。
PLLのロック時間はMCKI=12MHzのとき40ms(max)です(Table 4)。
- (6) PLLが安定後、MCKO pin から正常なクロックが出力されます。
- (7) この区間では、MCKO pin から正常でないクロックが出力されます。
- (8) MCKOクロックに同期したEXBCLK, EXLRCKクロックを入力してください。

4. 外部クロックモードで使用する場合(スレーブモード)

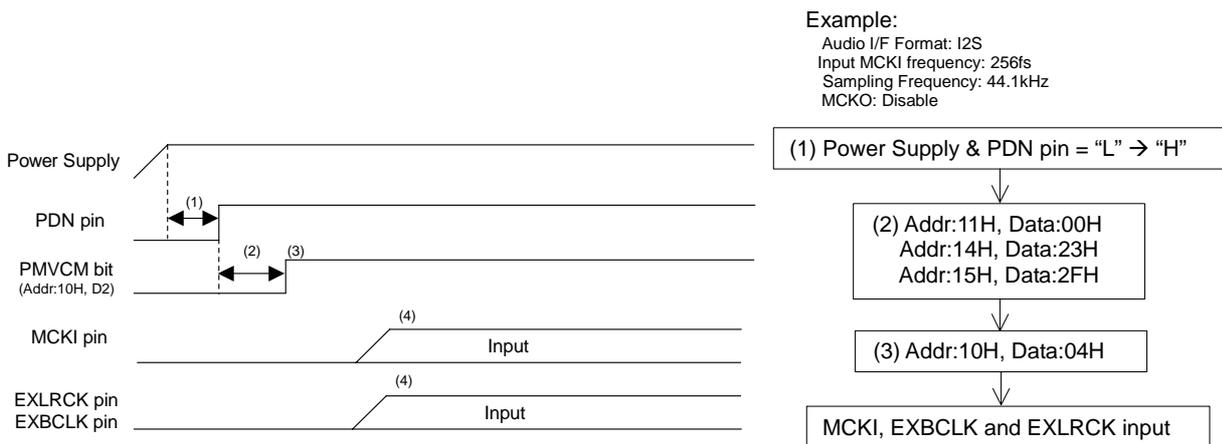


Figure 48. Clock Set Up Sequence (4)

<手順例>

- (1) 電源立ち上げ後、PDN pin “L” → “H”
 この区間はAK5701のリセットのため、150ns以上の“L”区間が必要です。
- (2) この区間に、DIF1-0, FS1-0 bitsの設定を行って下さい。
- (3) VCOMのパワーアップ：PMVCM bit = “0” → “1”
 各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。
- (4) MCKI, EXLRCK, EXBCLKクロック入力後、正常な動作が開始します。

5. 外部クロックモードで使用する場合(マスタモード)

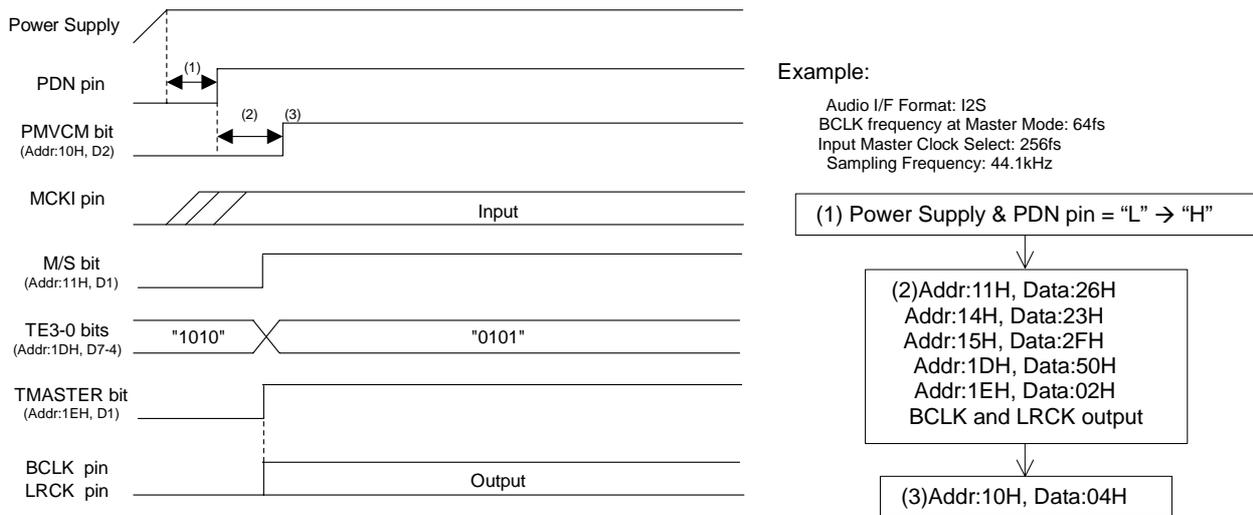


Figure 49. Clock Set Up Sequence (5)

<手順例>

- (1) 電源立ち上げ後、PDN pin "L" → "H"
この区間はAK5701のリセットのため、150ns以上の"L"区間が必要です。
- (2) この区間に、DIF1-0, FS1-0, BCKO1-0, M/S, TE3-0, TMASTER bitsの設定を次の順番のとおり行って下さい。
 - (2a) M/S bit = "1", FS3-0, BCKO1-0の設定。
 - (2b) DIF1-0の設定。
 - (2c) TE3-0 bits = "0101"
 - (2d) TMASTER bit = "1": BCLK, LRCK出力を開始します。
- (3) VCOMのパワーアップ: PMVCM bit = "0" → "1"
各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。

EXT Master Modeからほかのクロックモードへ変更する場合は、PDN pin = "L" → "H"とするか、TE3-0 bits = "1010"を書き込んでから、Table 1に従ってレジスタ設定を行って下さい。

6. スレーブ&バイパスモードの場合

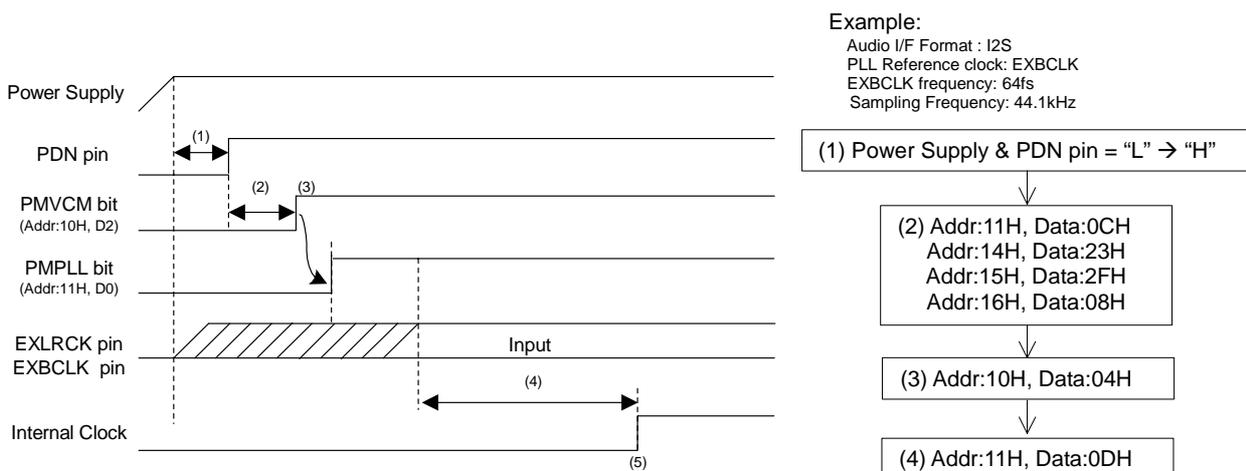


Figure 50. Clock Set Up Sequence (6)

<手順例>

- (1) 電源立ち上げ後、PDN pin “L” → “H”
 この区間はAK5701のリセットのため、150ns以上の“L”区間が必要です。
- (2) この区間に、THR bit = “1”およびDIF1-0, FS3-0, PLL3-0 bitsの設定を行って下さい。
- (3) VCOMのパワーアップ: PMVCM bit = “0” → “1”
 各ブロックを立ち上げる前に最初にVCOMを立ち上げて下さい。
- (4) PMPLL bit = “0” → “1”を設定し、PLL基準クロック(EXLRCK or EXBCLK pin)が供給された後、PLL動作がスタートします。PLLのロック時間はEXLRCKがPLL基準クロック入力の場合、160ms(max), EXBCLKがPLL基準クロックでVCO pinの外付けが10k+4.7nFの場合、2ms(max)です(Table 4)。
- (5) PLLが安定後、正常な動作が開始します。

7. バイパスモードの場合

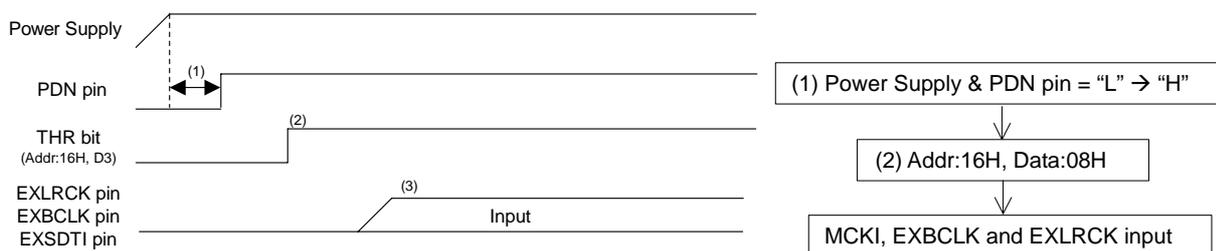


Figure 51. Clock Set Up Sequence (7)

<手順例>

- (1) 電源立ち上げ後、PDN pin “L” → “H”
この区間はAK5701のリセットのため、150ns以上の“L”区間が必要です。
- (2) THR bit = “1”を設定して下さい。
- (3) EXLRCK, EXBCLK, EXSDTI入力後、LRCK, BCLK, SDTO出力が開始します。

■ マイク入力録音(ステレオ)

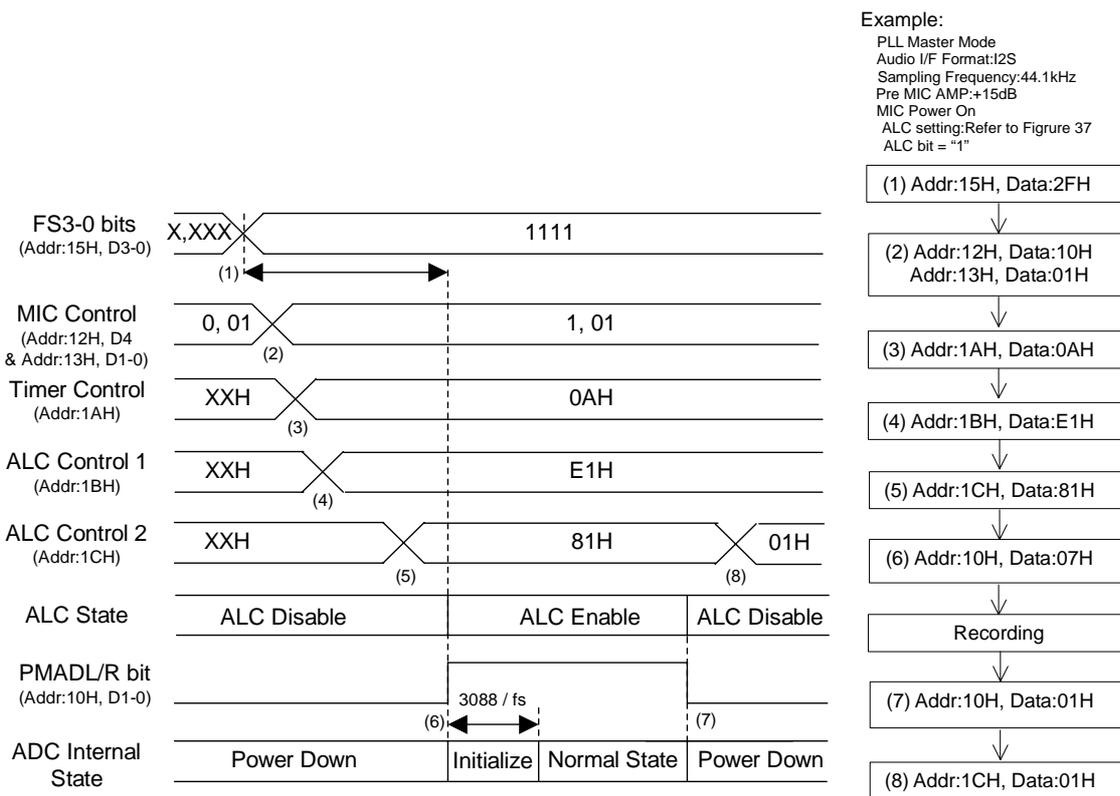


Figure 52. MIC Input Recording Sequence

<手順例>

fs=44.1kHz時のALCの設定例です。ALCのパラメータを変更する場合は、“Figure 39. ALC動作設定手順例”を参照して下さい。

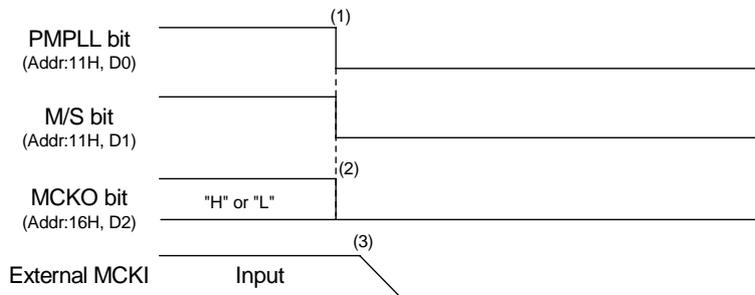
「クロックの設定」の項を参照し、クロックを供給して下さい。

- (1) サンプリング周波数(FS3-0 bits)を設定して下さい。PLLモードの場合、サンプリング周波数を変更してからPLLロック時間を考慮し、(6)のマイク及びADCのパワーアップを行って下さい。
- (2) マイク入力(アドレス 72H&73H)の設定。
- (3) ALC Timer (アドレス 7AH)の設定
- (4) ALC REF値(アドレス 7BH)の設定
- (5) LMTH1-0, RGAIN1-0, LMAT1-0, ALC bitsの設定(アドレス 7CH)
- (6) マイク及びADCのパワーアップ: PMADL = PMADR bits = “0” → “1”
 ADCの初期化サイクルは3088/fs=70.0ms@fs=44.1kHz, HPF1-0 bits = “00”です。
 ALCは入力デジタルボリューム(IVL/R7-0 bits)の初期値(0dB)から動作を開始します。
 100ms以内で録音開始するにはPMVCM=PMMP bits = “1”設定後2msでPMPLL bit = “1”を設定し、その6ms後にPMADL=PMADR bits = “1”を設定して下さい。
- (7) マイク及びADCのパワーダウン: PMADL = PMADR bits = “1” → “0”
 マイク及びADCをパワーダウンすることでALCもDisable状態になります。サンプリング周波数を変更し、ALCの設定を変更する場合は、マニュアルモード(ALC bit = “0”)あるいはマイク及びADCをパワーダウン(PMADL = PMADR bits = “0”)してから行って下さい。また、PMADL = PMADR bits = “0”のとき、入力デジタルボリューム(IVL/R7-0 bits)のゲインはリセットされず、次のパワーアップ時はコントロールレジスタの設定値で動作を開始します。
- (8) ALC Disable: ALC bit = “1” → “0”

■ クロックの停止

ADCを使用しない場合は、マスタクロックを停止することができます。

1. PLLマスタモードの場合



Example:

Audio I/F Format: I2S
 BCLK frequency at Master Mode: 64fs
 Input Master Clock Select at PLL Mode: 11.2896MHz
 Sampling Frequency: 44.1kHz

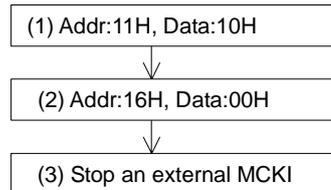
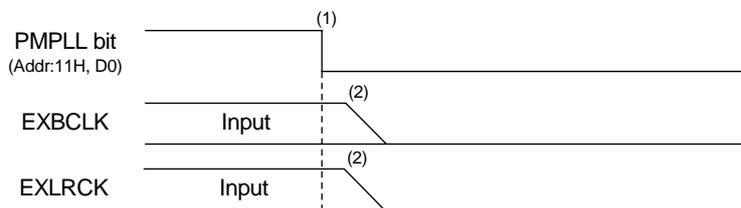


Figure 53. Clock Stopping Sequence (1)

<手順例>

- (1) PLLのパワーダウン: PMPLL=M/S bits = “1” → “0”
- (2) MCKO出力の停止: MCKO bit = “1” → “0”
- (3) 外部クロックを止めて下さい。

2. PLLスレーブモード(EXLRCK, EXBCLK pin)の場合



Example

Audio I/F Format : I2S
 PLL Reference clock: EXBCLK
 BCLK frequency: 64fs
 Sampling Frequency: 44.1kHz

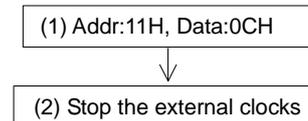


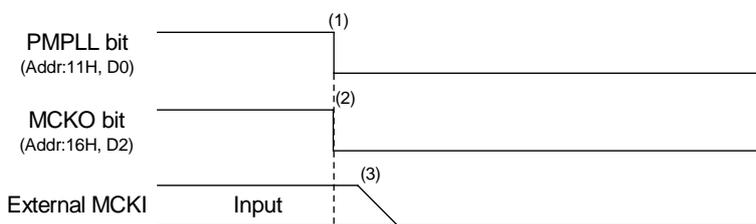
Figure 54. Clock Stopping Sequence (2)

<手順例>

- (1) PLLのパワーダウン: PMPLL bit = “1” → “0”
- (2) 外部クロックを止めて下さい。

* スレーブ&バイパスモードも同様の手順です。

3. PLLスレーブモード(MCKI pin)の場合



Example

Audio I/F Format: I2S
 PLL Reference clock: MCKI=11.2896MHz
 EXBCLK frequency: 64fs
 Sampling Frequency: 44.1kHz

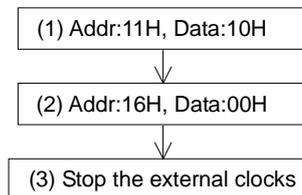
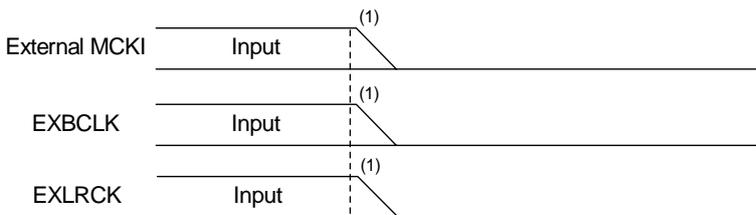


Figure 55. Clock Stopping Sequence (3)

<手順例>

- (1) PLLのパワーダウン: PMPLL bit = "1" → "0"
- (2) MCKO出力の停止: MCKO bit = "1" → "0"
- (3) 外部クロックを止めて下さい。

4. 外部クロックモードの場合(スレーブモード)



Example

Audio I/F Format :I2S
 Input MCKI frequency:256fs
 Sampling Frequency:44.1kHz

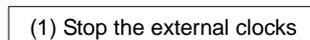


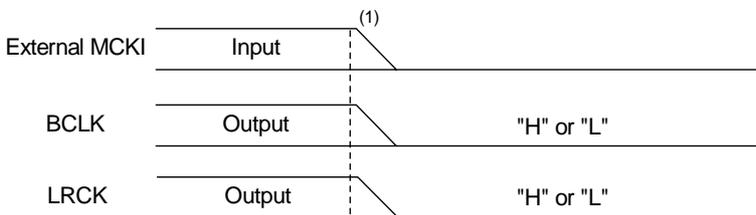
Figure 56. Clock Stopping Sequence (4)

<手順例>

- (1) 外部クロックを止めて下さい。

* バイパスモードも同様の手順です。

5. 外部クロックモードの場合(マスターモード)



Example

Audio I/F Format :I2S
 Input MCKI frequency:256fs
 Sampling Frequency:44.1kHz



Figure 57. Clock Stopping Sequence (5)

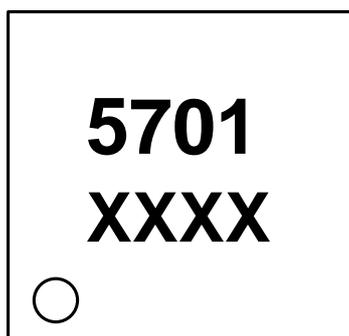
<手順例>

- (1) MCKIを止めて下さい。BCLKおよびLRCKは“H”または“L”に固定されます。

■ パワーダウン

各ブロックをパワーダウンし、各クロック停止かつPMVCM bit = “0”とした場合、消費電流は20 μ A(typ)です。完全にシャットダウン(typ. 1 μ A)するには各クロック停止かつPDN pin = “L”として下さい。但し、この場合レジスタが初期化されます。

マーキング



1

XXXX : Date code identifier (4桁)

改訂履歴

Date (YY/MM/DD)	Revision	Reason	Page	Contents
05/08/04	00	初版		

————— 重要な注意事項 —————

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。