

HD6321/HD6821

PIA (Peripheral Interface Adapter)

HD6321/HD6821 PIAは、2つの独立した8ビット構成の入出力ポート（ポートA、ポートB）をもつ並列形周辺インタフェースLSIです。ポートA、ポートBの各々の信号ラインは内蔵するデータディレクションレジスタにより入力、出力いれにも指定可能です。また、周辺機器とのインタフェースを行う4本の制御ラインを備えており、ハンドシェイクによるデータ転送を可能にしています。

特長

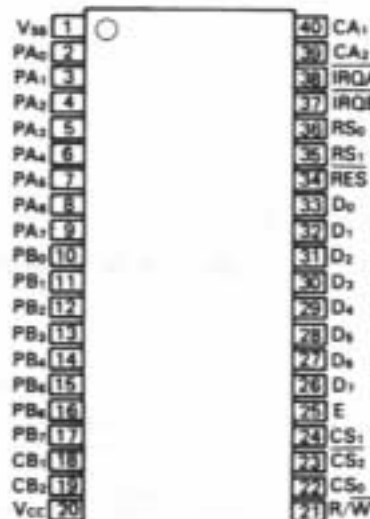
- 周辺機器インタフェース用の2つの入出力ポートを内蔵。
 - 周辺機器とのハンドシェイク制御機能内蔵
CA₁, CA₂……ポートA側
CB₁, CB₂……ポートB側
 - プログラム可能なコントロールレジスタ内蔵(CRA, CRB)
 - ポートの入出力機能を指定するデータディレクションレジスタ内蔵(DDRA, DDRB)
- HD6321—
- CMOS 低消費電力
 - NMOS PIA (HD6821) とピンコンパチブル
(特性上の相異点は“電気的特性表”および“使用上の注意事項”参照)
 - 広い動作電圧範囲 (V_{CC} = 5 V ± 10%)
- HD6821—
- モトローラ社 MC6821 とコンパチブル

製品ラインナップ

形名	プロセス	動作周波数	パッケージ
HD6321P	CMOS	1.0MHz	40ピン
HD63A21P		1.5MHz	プラスチックDIP
HD63B21P		2.0MHz	(DP-40)
HD6321FP		1.0MHz	54ピンフラットブラ
HD63A21FP		1.5MHz	スタックパッケージ
HD63B21FP		2.0MHz	(FP-54)
HD6821P	NMOS	1.0MHz	40ピン
HD68A21P		1.5MHz	プラスチックDIP
HD68B21P		2.0MHz	(DP-40)
HD6821		1.0MHz	40ピン
HD68A21		1.5MHz	セラミックDIP
HD68B21		2.0MHz	(DC-40)

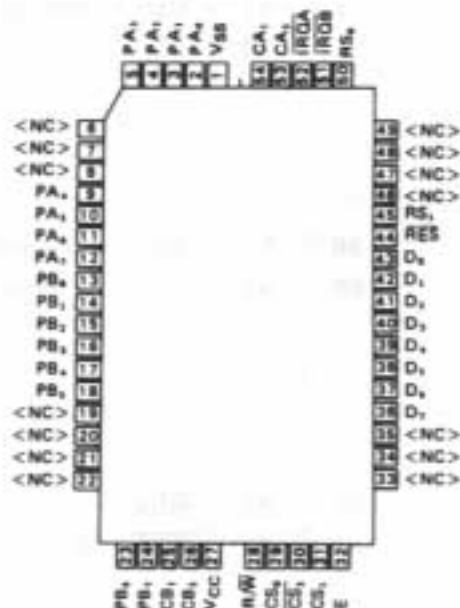
ピン配置図

●HD6321P, HD6821P, HD6321

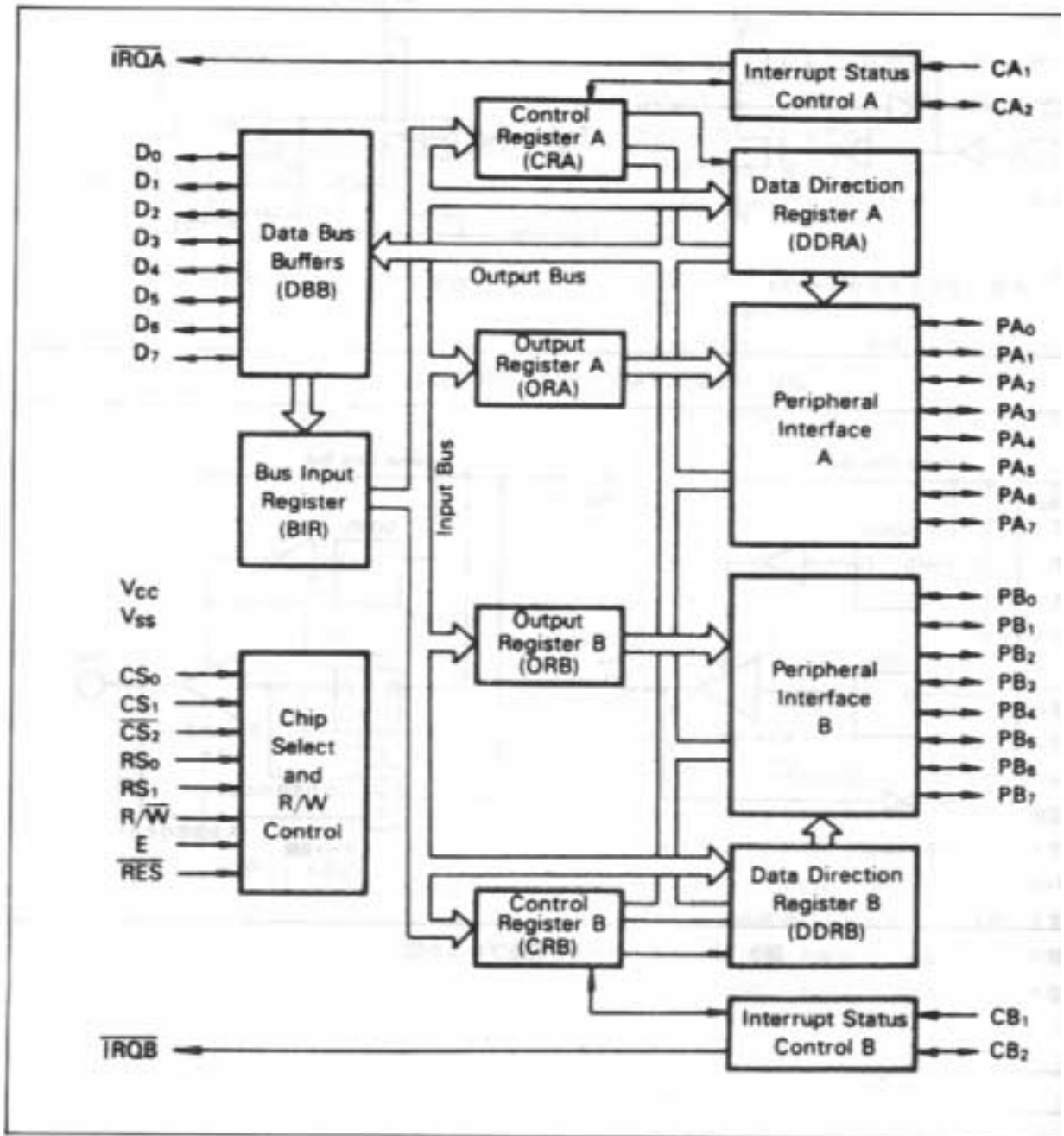


(DP-40, DC-40)

●HD6321FP



(FP-54)



HD6321/HD6821

AC特性 (特記なき場合, HD6321: $V_{CC}=5V \pm 10\%$, HD6821: $V_{CC}=5V \pm 5\%$, $V_{SS}=0V$, $T_a = -20 - +75^\circ C$)

1 ペリフェラルコントロールタイミング

項 目	記号	HD6321		HD6821		HD68A21		HD68B21		単位	測定条件
		min	max	min	max	min	max	min	max		
ペリフェラルデータセットアップ時間	t_{POSU}	100	—	200	—	135	—	100	—	ns	図10
ペリフェラルデータホールド時間	t_{PDH}	0	—	0	—	0	—	0	—	ns	図10
CA2立ち下がり遅延時間	Enable → CA ₂ Negative t_{CA2}	—	200	—	1000	—	670	—	500	ns	図11, 図12
CA2立ち上がり遅延時間	Enable → CA ₂ Positive t_{RS1}	—	200	—	1000	—	670	—	500	ns	図11
立ち上がり, 立ち下がり時間	CA ₁ , CA ₂ t_r, t_f	—	100	—	1000	—	1000	—	1000	ns	図12
CA2立ち上がり遅延時間	CA ₁ → CA ₂ t_{RS2}	—	300	—	2000	—	1350	—	1000	ns	図12
ペリフェラルデータ遅延時間	Enable → Peripheral Data t_{PDW}	—	300	—	1000	—	670	—	500	ns	図13, 図14
ペリフェラルデータ遅延時間	Enable → Peripheral Data PA ₀ ~PA ₇ , CA ₂ t_{CMOS}			—	2000	—	1350	—	1000	ns	$V_{CC}-30\%$ V_{CC} 図13
CB2立ち下がり遅延時間	Enable → CB ₂ t_{CB2}	—	200	—	1000	—	670	—	500	ns	図15, 図16
CB2立ち下がり遅延時間	Peripheral Data → CB ₂ t_{DC}	20	—	20	—	20	—	20	—	ns	図14
CB2立ち上がり遅延時間	Enable → CB ₂ t_{RS1}	—	200	—	1000	—	670	—	500	ns	図15
ペリフェラルコントロール出力 パルス幅	CA ₂ , CB ₂ PW_{CT}			—	550	—	550	—	500	ns	図11, 図15
立ち上がり, 立ち下がり時間	CB ₁ , CB ₂ t_r, t_f	—	100	—	1000	—	1000	—	1000	ns	図16
CB2立ち上がり遅延時間	CB ₁ → CB ₂ t_{RS2}	—	300	—	2000	—	1350	—	1000	ns	図16
割込み要求解除時間	$\overline{IRQA}, \overline{IRQB}$ t_{IR}	—	800	—	1600	—	1100	—	850	ns	図18
\overline{IRQ} 応答時間	$\overline{IRQA}, \overline{IRQB}$ t_{RS3}	—	400	—	1000	—	1000	—	1000	ns	図17
割込み入力パルス幅	CA ₁ , CA ₂ , CB ₁ , CB ₂ PWI	$\frac{1}{5}$ cycle	—	500*	—	500*	—	500*	—	ns	図17
リセットLowレベル時間	\overline{RES}^* t_{RL}	200	—	1000	—	660	—	500	—	ns	図19

* \overline{RES} 信号は, PIAをアドレスする前に, 最少10 μ s Highレベルでなければなりません。

** 指定タイミング中に, E信号 Highレベルが含まれていること。

2 バスタイミング

1) リード動作シーケンス

項 目	記号	HD6321		HD63A21		HD63B21		HD6821		HD68A21		HD68B21		単位	測定条件
		min	max	min	max	min	max	min	max	min	max	min	max		
イネーブルサイクル時間	t_{cycE}	1000	—	666	—	500	—	1000	—	666	—	500	—	ns	図20
イネーブルHighパルス幅	PW_{EH}	450	—	280	—	220	—	450	—	280	—	220	—	ns	
イネーブルLowパルス幅	PW_{EL}	430	—	280	—	210	—	430	—	280	—	210	—	ns	
イネーブル立ち上がり, 立ち下がり時間	t_{Er}, t_{Er}	—	25	—	25	—	20	—	25	—	25	—	25	ns	
セットアップ時間 (Address, R/W-Enable)	t_{AS}	80	—	60	—	40	—	140	—	140	—	70	—	ns	図21
アドレスホールド時間	t_{AH}	10	—	10	—	10	—	10	—	10	—	10	—	ns	
データ遅延時間	t_{ODR}	—	290	—	180	—	150	—	320	—	220	—	180	ns	
データホールド時間	t_{OHR}	20	100	20	100	20	100	10	—	10	—	10	—	ns	

2) ライト動作シーケンス

項 目	記号	HD6321		HD63A21		HD63B21		HD6821		HD68A21		HD68B21		単位	測定条件
		min	max	min	max	min	max	min	max	min	max	min	max		
イネーブルサイクル時間	t_{cycE}	1000	—	666	—	500	—	1000	—	666	—	500	—	ns	図20
イネーブルHighパルス幅	PW_{EH}	450	—	280	—	220	—	450	—	280	—	220	—	ns	
イネーブルLowパルス幅	PW_{EL}	430	—	280	—	210	—	430	—	280	—	210	—	ns	
イネーブル立ち上がり, 立ち下がり時間	t_{Er}, t_{Er}	—	25	—	25	—	20	—	25	—	25	—	25	ns	
セットアップ時間	t_{AS}	80	—	60	—	40	—	140	—	140	—	70	—	ns	図22
アドレスホールド時間 Address, R/W-Enable	t_{AH}	10	—	10	—	10	—	10	—	10	—	10	—	ns	
データセットアップ時間	t_{DSW}	165	—	80	—	60	—	195	—	80	—	60	—	ns	
データホールド時間	t_{DHW}	10	—	10	—	10	—	10	—	10	—	10	—	ns	