

SANYO**三洋半導体開発ニュース**

No.※5721

52797

LE28CV1001AM, AT-12/15

CMOS LSI

1M (131072ワード×8ビット)フラッシュメモリ**製品規格****概要**

LE28CV1001AM, ATは、131072ワード×8ビット構成の3.3V単一電源動作によるフラッシュメモリである。周辺CMOS回路の採用により、高速、低消費電力の使いやすさを実現している。また、128バイトページ書換え機能により、データ書換えが高速である。

特長

- ・高信頼性2層ポリシリコンCMOSフラッシュEEPROMプロセスを使用している。

- ・3.3V単一電源によるリード/ライト動作が可能である。

- ・高速アクセス時間 : 120ns/150ns

- ・低消費電力

- 動作電流 (リード) : 12mA (max)

- スタンバイ電流 : 15μA (max)

- ・高信頼性リード/ライト

- 消去/書込回数 : $10^4/10^3$ 回

- データ保持期間 : 10年

- ・アドレス/データラッチ

- ・高速ページ書換え動作

- 128バイト/ページ

- ページ書換え時間 : 5ms (typ)

- チップ書換え時間 : 5s (typ)

- ・内部Vpp発生による自動書換え

- ・書換え終了検知機能 : トグルビット/Data ポーリング

- ・ハードウェアおよびソフトウェアによるデータ保護機能

- ・全入出力レベルTTLコンパチブル

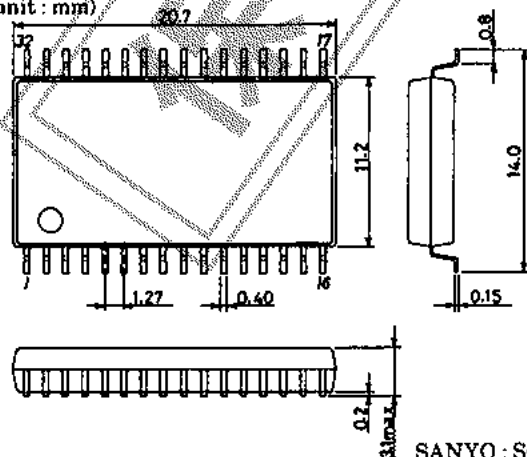
- ・JEDEC Byte-Wide EEPROM Standardに準拠したピン配置である。

- ・パッケージ

SOP32ピン (525mil) プラスチックパッケージ: LE28CV1001AM

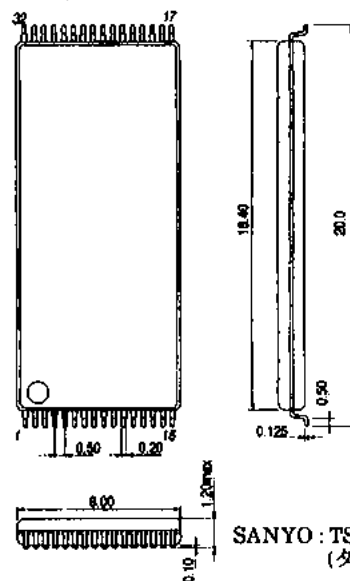
TSOP32ピン (8mm×20mm) プラスチックパッケージ: LE28CV1001AT

外形図 3205
(unit: mm)



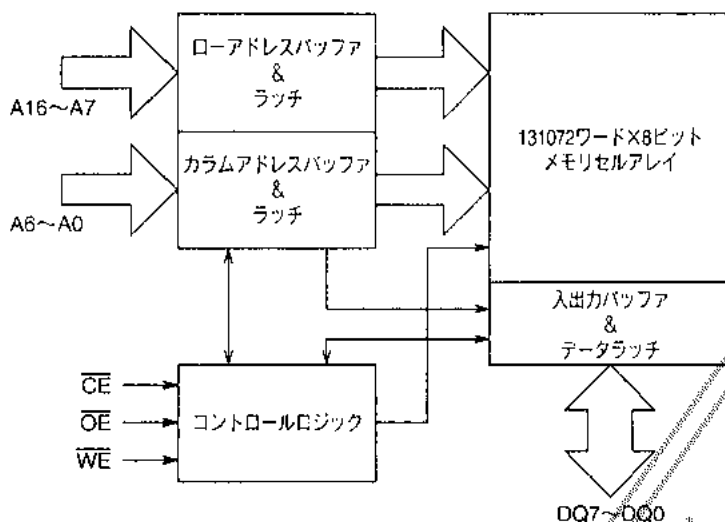
SANYO: SOP32

外形図 3224
(unit: mm)

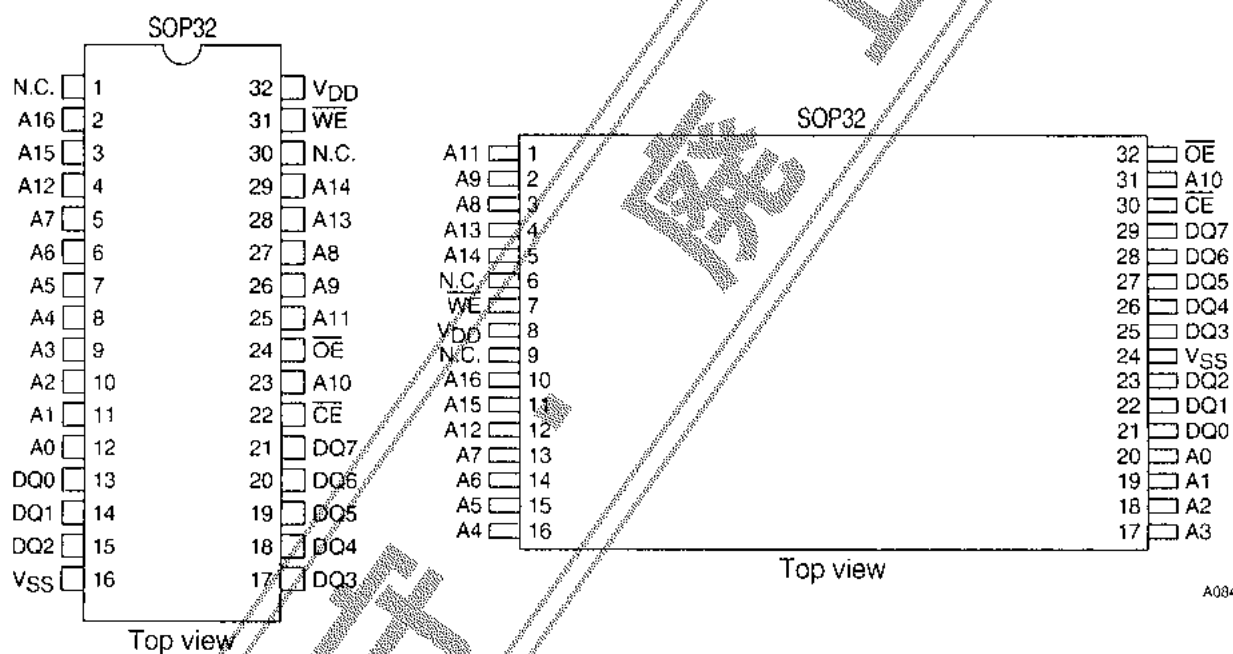
SANYO: TSOP32
(タイプ-I)

この製品は米国SST社 (Silicon Storage Technology, Inc.) のライセンスを受け三洋電機株式会社で製造、販売するものです。

ブロック図



ピン配置図



端子説明

ピン名	タイプ	機能説明
A16~A0	アドレス入力	メモリにアドレスを供給する。 ライトサイクルではアドレスは内部にラッチされる。
DQ7~DQ0	データ入力/出力	リードサイクルではデータを出力しライトサイクルではデータを入力する。 ライトサイクルではデータは内部でラッチされる。 $\overline{OE}$ または $\overline{CE}$ が「H」レベルのとき出力は、高インピーダンス状態である。
$\overline{CE}$	チップイネーブル	$\overline{CE}$ が「L」レベルの時デバイスをアクティブにする。 $\overline{CE}$ が「H」レベルの時デバイスを非選択にリスタンバイ状態となる。
$\overline{OE}$	アウトプットイネーブル	データ出力バッファをアクティブにする。 $\overline{OE}$ は低アクティブである。
$\overline{WE}$	ライトイネーブル	ライト動作をアクティブにする。 $\overline{WE}$ は低アクティブである。
V _{DD}	電源	3.3V±0.3Vを供給する。
V _{SS}	接地	
N.C.	ノーコネクション	内部チップと接続されていない。

機能論理

モード	$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	A16~A0	DQ7~DQ0
リード	V_{IL}	V_{IL}	V_{IH}	A_{IN}	D_{OUT}
ライト	V_{IL}	V_{IH}	V_{IL}	A_{IN}	D_{IN}
スタンバイ	V_{IH}	X	X	X	High-Z
ライトインヒビット	X	V_{IL}	X	X	High-Z/ D_{OUT}
	X	X	V_{IH}	X	High-Z/ D_{OUT}
製品識別	V_{IL}	V_{IL}	V_{IH}	A16~A10= V_{IL} , A8~A1= V_{IL} , A9=12V, A0= V_{IL}	製造者コード (BF)
				A16~A10= V_{IL} , A8~A1= V_{IL} , A9=12V, A0= V_{IH}	デバイスコード (07)

ソフトウェアデータプロテクションのコマンド

バイトシーケンス	セットプロテクション		リセットプロテクション	
	アドレス	データ	アドレス	データ
0ライト	5555	AA	5555	AA
1ライト	2AAA	55	2AAA	55
2ライト	5555	A0	5555	80
3ライト			5555	AA
4ライト			2AAA	55
5ライト			5555	20

アドレス および データは16進表記

ソフトウェアプロダクトID開始コマンドコード および 終了コマンドコード

バイトシーケンス	プロダクトID開始		プロダクトID終了	
	アドレス	データ	アドレス	データ
0ライト	5555	AA	5555	AA
1ライト	2AAA	55	2AAA	55
2ライト	5555	80	5555	F0
3ライト	5555	AA		
4ライト	2AAA	55		
5ライト	5555	60		

ソフトウェアプロダクトIDコマンドの説明

1. アドレス および データは16進表記
2. A16~A1= V_{IL} .
A0= V_{IL} の時製造者のコード (BF)が読出される.
A0= V_{IH} の時デバイスコード (07)が読出される.
3. デバイスは電源遮断後、ソフトウェアプロダクトIDモードの状態を保持していない。
4. A16, A15は V_{IH} または V_{IL}

デバイス動作

1Mフラッシュメモリは、3.3V単一電源で電氣的な書換えが可能である。LE28CV1001AM, ATは工業標準のピン配置 および 機能とコンパチブルである。

リード

LE28CV1001AM, ATのリード動作は $\overline{CE}$ と $\overline{OE}$ によって制御され、ホストが出力からデータを得るためには、両方の端子とも「L」レベルにしなければならない。 $\overline{CE}$ はチップの選択に使用する。 $\overline{CE}$ が「H」レベルの時、チップは非選択状態であり、スタンバイ電流のみが消費される。 $\overline{OE}$ は出力の制御に使用する。 $\overline{CE}$ または $\overline{OE}$ のいずれかが「H」レベルであればデバイスの出力端子は高インピーダンス状態となる。

詳細はタイミング波形を参照(図1)。

ページライト動作

ライト動作は、 $\overline{CE}$ と $\overline{WE}$ が「L」レベルでかつ $\overline{OE}$ が「H」レベルで開始される。ライト動作は二段階により実行される。第一段階は、ホストからLE28CV1001AM, AT内のページバッファに書き込みを行うバイトロードサイクルである。第二段階は、ページバッファ内のデータを不揮発性メモリセルアレイに書き込む内部プログラミングサイクルである。バイトロードサイクルでは、アドレスは $\overline{CE}$ または $\overline{WE}$ の立下りのタイミングのいずれか遅い方でラッチされる。入力データは $\overline{CE}$ または $\overline{WE}$ の立上りのタイミングのいずれか早い方でラッチされる。内部プログラミングサイクルは、 $\overline{WE}$ または $\overline{CE}$ が200 μ s (t_{BLCO})の間、「H」レベルのままであれば開始される。このプログラミングサイクルがひとたび開始されるとプログラミング動作が完全に終了するまで動作し続けられる。この動作は、5ms (typ)以内に実行される。図2, 図3は、 $\overline{WE}$ および $\overline{CE}$ コントロールライトサイクルのタイミングダイアグラムで、図9はフローチャートである。

ページライト動作では、内部プログラミングサイクルの前に128バイトのデータをLE28CV1001AM, AT内のページバッファに書き込むことができる。5ms (typ)の内部プログラミングサイクル中、ページバッファ内の全てのデータはメモリセルアレイへ書き込まれる。よってLE28CV1001AM, ATのページライト機能は、5s (typ)で全てのメモリセルの書き換えを可能としている。内部プログラミングサイクルが完了するまでの間、ホストはシステム内の他の場所にあるデータを移動し、次のページライトに必要なデータを準備する等、自由にふるまうことができる。各々のページライト動作において、ページバッファにロードされる全てのバイト情報は、A7からA16の同じページアドレスでなければならない。バイトロードされなかったデータは全てFFHになる。

図2は、ページライトサイクルのタイミングダイアグラムである。一回目のバイトロードサイクルの後、100 μ sのバイトロードサイクルタイム (t_{BLC})以内に、ホストがページバッファに二回目のバイトロードを行えば、LE28CV1001AM, ATはページロードサイクルに留まり、連続してデータをロードできる。最後の $\overline{WE}$ の立上り後、次に $\overline{WE}$ が「H」レベルから「L」レベルへ遷移しない場合のように、前回のバイトロードサイクルから200 μ s (t_{BLCO})以内にページバッファへ追加データのロードを行わないと、ページロードサイクルは終了する。ページバッファ内のデータは、次のバイトロードサイクルで書き換えられる。

ページロード期間は100 μ sのバイトロードサイクル以内にホストがデバイスにデータをロードし続けると無制限に継続することができる。ロードされるページは最後にバイトロードされたページアドレスにより確定する。

ライト動作状態の検知

LE28CV1001AM, ATはライトサイクルの終了を検知する二つの機能を有している。これらの機能は、システムのライトサイクル時間を最適化するために用いる。この検知機能は、Dataポーリング (DQ7)とトグルビット (DQ6)の二つの状態ビットで検知する。

Dataポーリング (DQ7)

LE28CV1001AM, ATが内部プログラミングサイクル中であるとき、ページ、バイトロードサイクル期間中、DQ7には最後にロードされたデータの逆データが読出される。内部プログラミングサイクルが終了するとDQ7には最後にロードされたデータが読出される。図4に、Dataポーリングサイクルのタイミングダイアグラム、図10にフローチャートを示す。

トグルビット (DQ6)

内部プログラミングサイクル中、DQ6には“0”データと“1”データが交互に連続して読出される (“0”と“1”の間をトグルリングする)。内部プログラミングサイクルが終了するとトグルリングは停止し、デバイスは次の動作が可能な状態となる。図5に、トグルビットのタイミングダイアグラム、図10にフローチャートを示す。

データの保護

ハードウェアデータプロテクション

ノイズ/グリッジプロテクション: 15ns以下の $\overline{WE}$ または $\overline{OE}$ へのパルスではライト動作はしない。

電源(V_{DD})投入、遮断検知: プログラミング動作は V_{DD} が2.5V以下では禁止される。

ライトインヒビットモード: $\overline{OE}$ が「L」レベル、 $\overline{CE}$ が「H」レベルまたは $\overline{WE}$ が「H」レベルであれば書き込み動作を禁止する。これにより電源の投入、遮断期間に書き込みが行われないようにする。

ソフトウェアデータプロテクション

LE28CV1001AM, ATはJEDECで認可されたオプションのソフトウェアデータプロテクション機能を行う。この機能では、ライト動作のデータロードに先立って3バイトのバイトロード動作を行わなければならない。3バイトのバイトロードシーケンスはいずれのライト動作も活性化することなしにページロードサイクルを開始する。よって、電源の投入、遮断時のノイズをトリガとしたような不用意なライトサイクルに対しての最適な保護方式となる。LE28CV1001AM, ATはソフトウェアデータプロテクションが無効状態で出荷されている。

ソフトウェアデータプロテクション回路は、ページロードサイクルにおいて、データシーケンスに先立ってデバイスに3バイトのバイトロードサイクルを実行することによって活性化する(図6)。これによってデバイスは自動的にデータプロテクションモードに入る。この後のライト動作には先立つ3バイトのバイトロードサイクルが必要となる。デバイスをデータプロテクションモードから解除するには6バイトのライトシーケンスが必要である。図7にタイミングダイアグラムを示す。ソフトウェアデータプロテクションモード期間中にライトを試みるとデバイスは200 μ sの間全ての機能が停止する。図11にフローチャートを示す。

製品識別

製品識別モードは、デバイスおよび製造者を認識するために用いる。このモードは、ハードウェアおよびソフトウェアによって使用可能である。ハードウェア動作モードは、外部プログラム装置を用いた場合に、デバイスに合ったアルゴリズムを認識するために使用される。また、ソフトウェア製品認識モードによって、ユーザが製品番号を認識することも可能である。フローチャートを図12に示す。製造者およびデバイスコードはどちらのモードでも共通である。

絶対最大定格

項 目	記 号	定格値	unit	注
電源電圧	V _{DD}	-0.5~+6.0	V	1
入力端子電圧	V _{IN}	-0.5~V _{DD} +0.5	V	1, 2
DQ端子電圧	V _{OUT}	-0.5~V _{DD} +0.5	V	1, 2
A9端子電圧	V _{A9}	-0.5~+14.0	V	1, 3
許容消費電力	P _{d max}	600	mW	1, 4
動作周囲温度	T _{opr}	0~+70	°C	1
保存周囲温度	T _{stg}	-65~+150	°C	1

注1) 絶対最大定格以上のストレスが印加された場合、破壊を起こす恐れがある。

2) パルス幅20ns未満の場合は-1.0V~V_{DD}+1.0V

3) パルス幅20ns未満の場合は-1.0V~+14V

4) T_a=25°C

DC許容動作範囲 / T_a=0~+70°C

項 目	記 号	min	typ	max	unit
電源電圧	V _{DD}	3.0	3.3	3.6	V
入力「L」レベル電圧	V _{IL}			0.6	V
入力「H」レベル電圧	V _{IH}	2.0			V

DC電気的特性 / T_a=0~+70°C, V_{DD}=3.3V±0.3V

項 目	記 号	条 件	min	typ	max	unit
リード時動作電流	I _{CCR}	$\overline{CE}=\overline{OE}=V_{IL}$, $\overline{WE}=V_{IH}$, 全てのDQは開放 アドレス入力=V _{IH} /V _{IL} , 動作周波数=1/t _{RC} (min), V _{DD} =V _{DD max}			12	mA
ライト時動作電流	I _{CCW}	$\overline{CE}=\overline{WE}=V_{IL}$, $\overline{OE}=V_{IH}$, V _{DD} =V _{DD max}			15	mA
TTLスタンバイ電流	I _{SB1}	$\overline{CE}=\overline{OE}=\overline{WE}=V_{IH}$, V _{DD} =V _{DD max}			1	mA
CMOSスタンバイ電流	I _{SB2}	$\overline{CE}=\overline{OE}=\overline{WE}=V_{DD}-0.3V$, V _{DD} =V _{DD max}			20	μA
入力リーク電流	I _{LI}	V _{IN} =V _{SS} ~V _{DD} , V _{DD} =V _{DD max}			10	μA
出力リーク電流	I _{LO}	V _{IN} =V _{SS} ~V _{DD} , V _{DD} =V _{DD max}			10	μA
出力「L」レベル電圧	V _{OL}	I _{OL} =2.1mA, V _{DD} =V _{DD min}			0.4	V
出力「H」レベル電圧	V _{OH}	I _{OH} =-400μA, V _{DD} =V _{DD min}	2.4			V

入出力容量 / T_a=25°C, V_{DD}=3.3V±0.3V, f=1MHz

項 目	記 号	条 件	max	unit
入出力容量	C _{OQ}	V _{DQ} =0V	12	pF
入力容量	C _{IN}	V _{IN} =0V	6	pF

電源投入タイミング

項 目	記 号	max	unit
電源投入からリード動作までの時間	t _{PU-READ}	100	μs
電源投入からライト動作までの時間	t _{PU-WRITE}	5	ms

AC電気的特性 / Ta=0~+70°C, V_{CC}=3.3V±0.3V

ACテスト条件 (図8参照)

入力立上り/立下り時間 10ns以下

出力負荷 1TTLゲート+30pF

リードサイクル

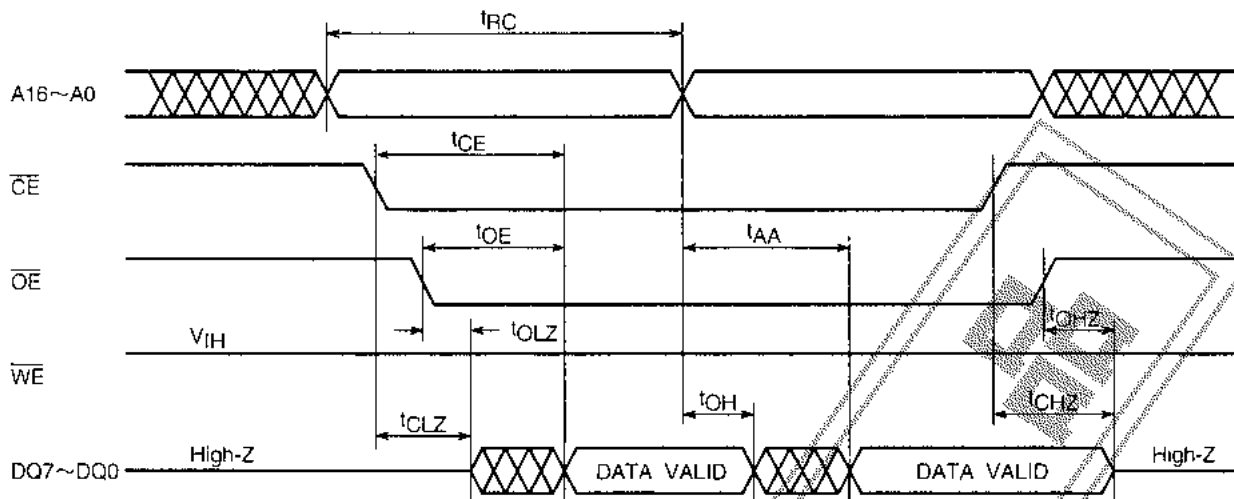
項 目	記号	LE28CV1001AM, AT				unit
		-12		-15		
		min	max	min	max	
リードサイクル時間	t _{RC}	120		150		ns
CEアクセス時間	t _{CE}		120		150	ns
アドレスアクセス時間	t _{AA}		120		150	ns
OEアクセス時間	t _{OE}		80		90	ns
CEからの出力低インピーダンス時間	t _{CLZ}	0		0		ns
OEからの出力低インピーダンス時間	t _{OLZ}	0		0		ns
CEからの出力高インピーダンス時間	t _{CHZ}		50		50	ns
OEからの出力高インピーダンス時間	t _{OHZ}		50		50	ns
アドレスからの出力有効時間	t _{OH}	0		0		ns

ページライトサイクル

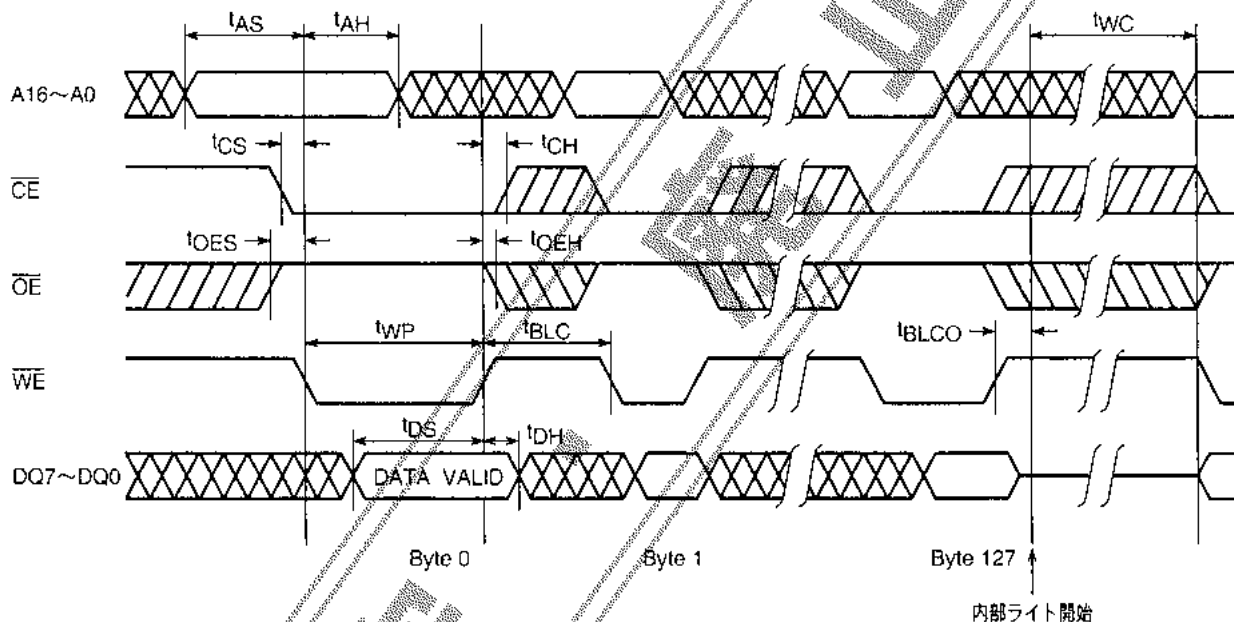
項 目	記号	min	typ*	max	unit
ライトサイクル時間 (消去/プログラム)	t _{WC}		5	10	ms
アドレスセットアップ時間	t _{AS}	0			ns
アドレスホールド時間	t _{AH}	100			ns
CEセットアップ時間	t _{CS}	0			ns
CEホールド時間	t _{CH}	0			ns
OEセットアップ時間	t _{OES}	0			ns
OEホールド時間	t _{OEH}	0			ns
CEパルス幅	t _{CP}	120			ns
WEパルス幅	t _{WP}	120			ns
データセットアップ時間	t _{DS}	100			ns
データホールド時間	t _{DH}	0			ns
バイトロードサイクル時間	t _{BLC}	0.10		100	μs
バイトロードタイムアウト時間	t _{BLCO}	200			μs

*typはV_{DD}=3.3V, Ta=25°Cでの参考値。

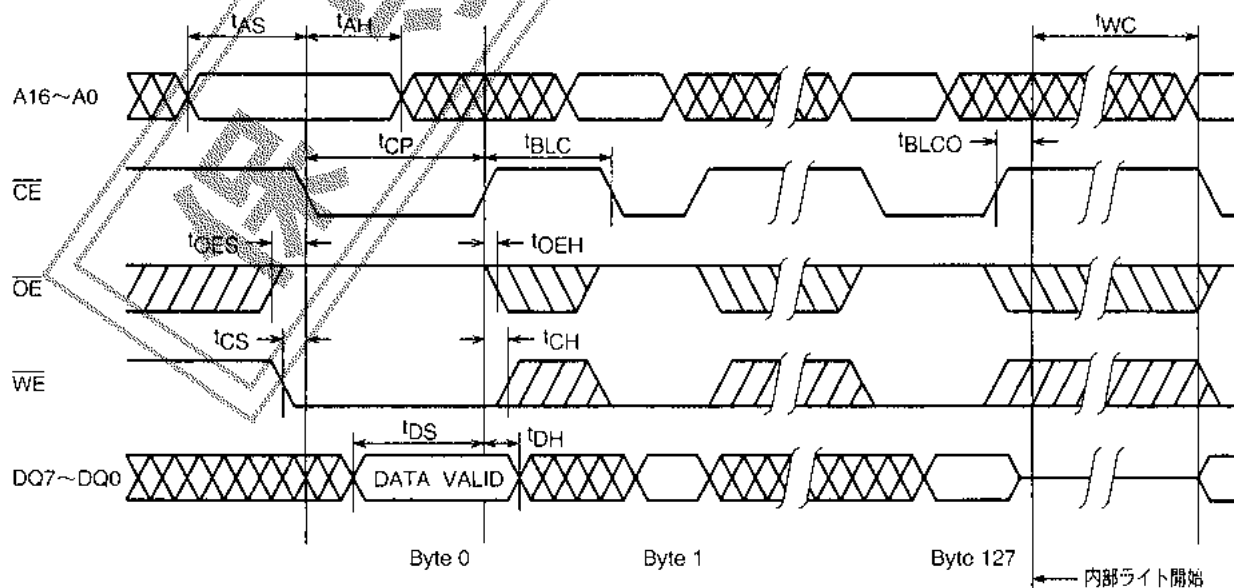
図1: リードサイクル

図2: $\overline{WE}$ コントロールページライトサイクル

A08457

図3: $\overline{CE}$ コントロールページライトサイクル

A08458



A08459

図4: Dataポーリング

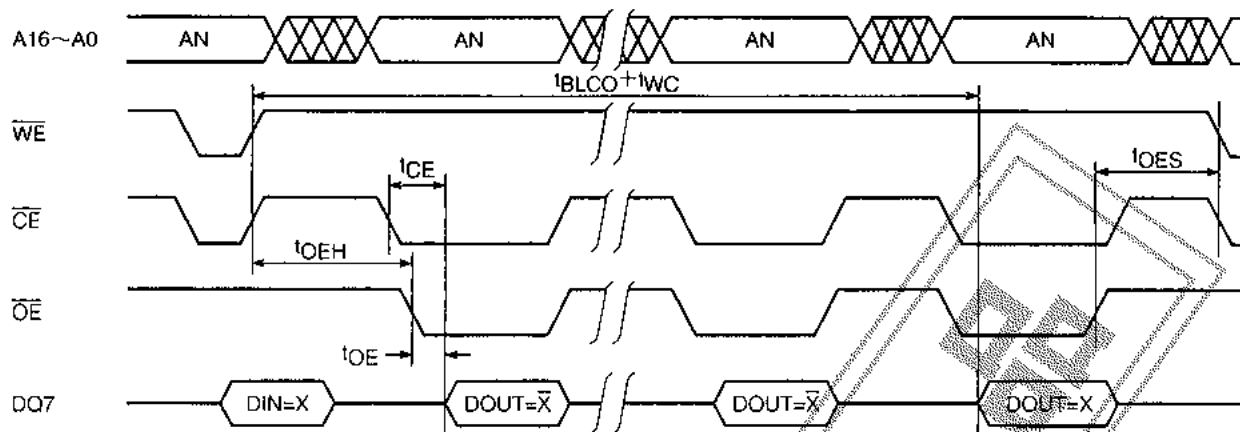


図5: トグルビット

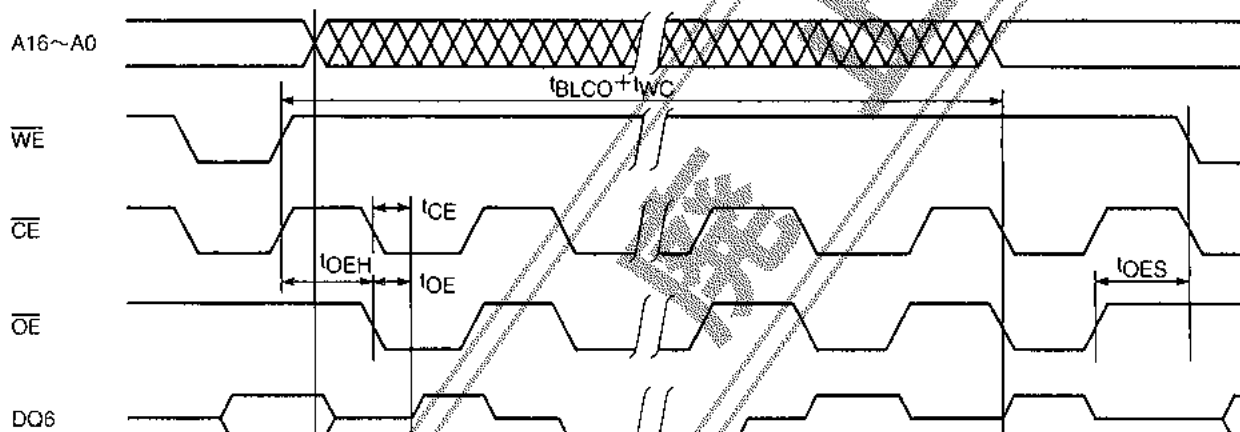


図6: イネーブルソフトウェアデータプロテクション

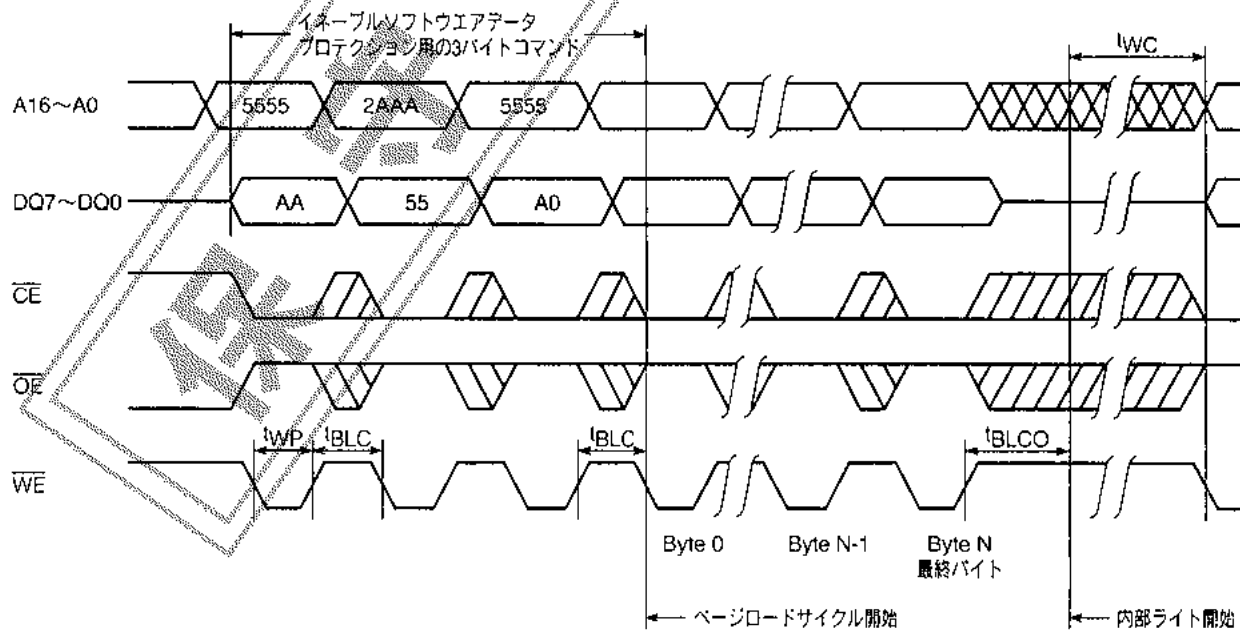
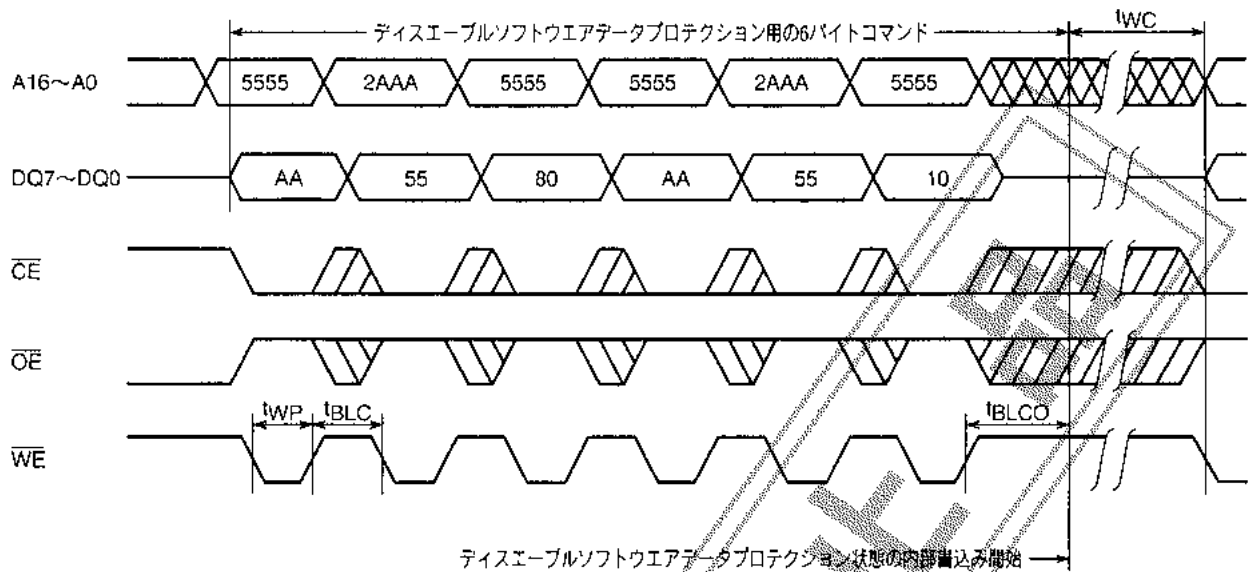
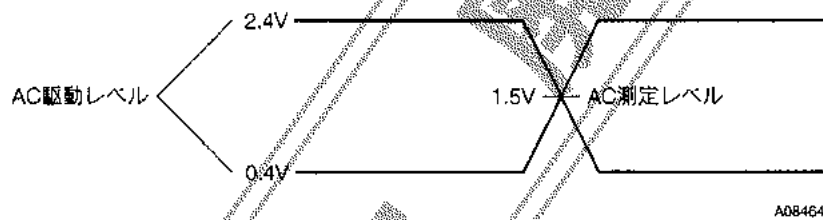


図7: ディスエーブルソフトウェアデータプロテクション



A08463

図8: AC入出力ファレンス波形



A08464

入力立ち上がり時間, 立下り時間 (10% ↔ 90%) は10ns以下である。

図9: ライトアルゴリズム

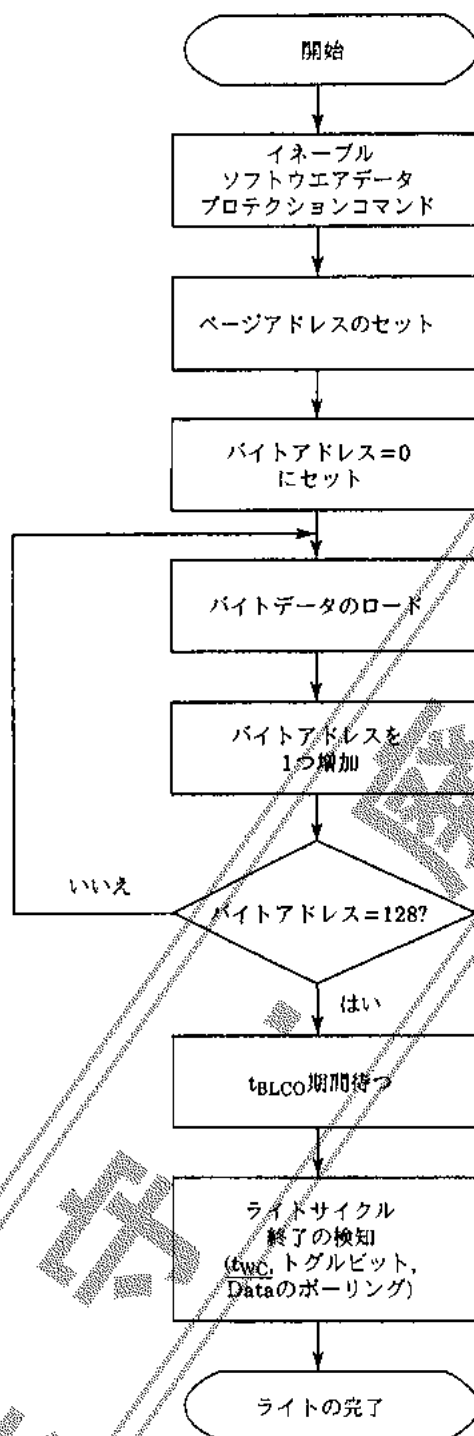


図10: ライト動作状態の検知

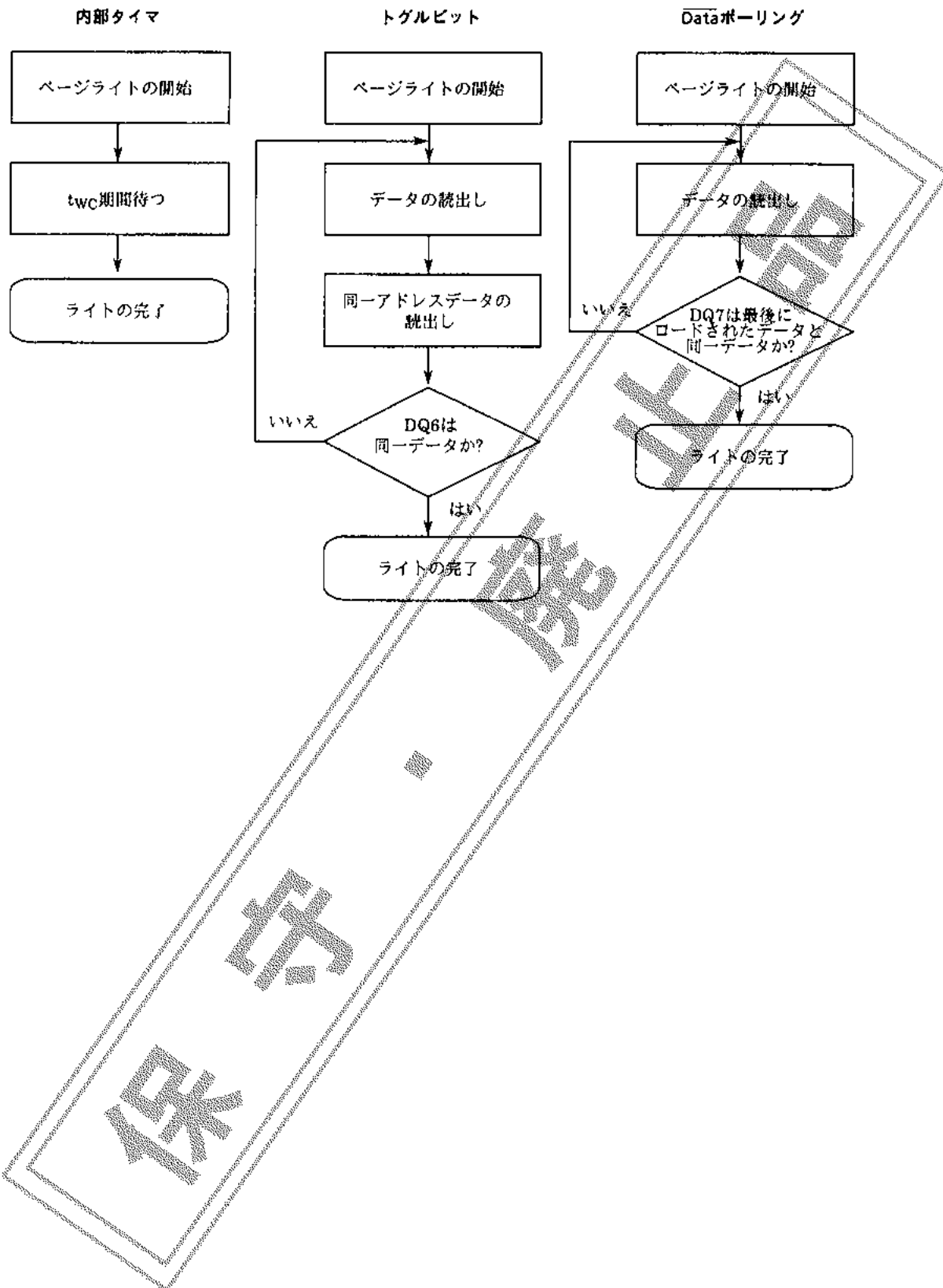


図 11: ソフトウェアデータプロテクションのフローチャート

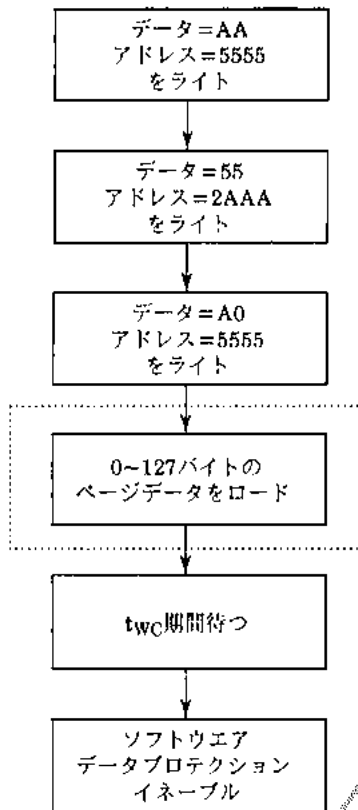
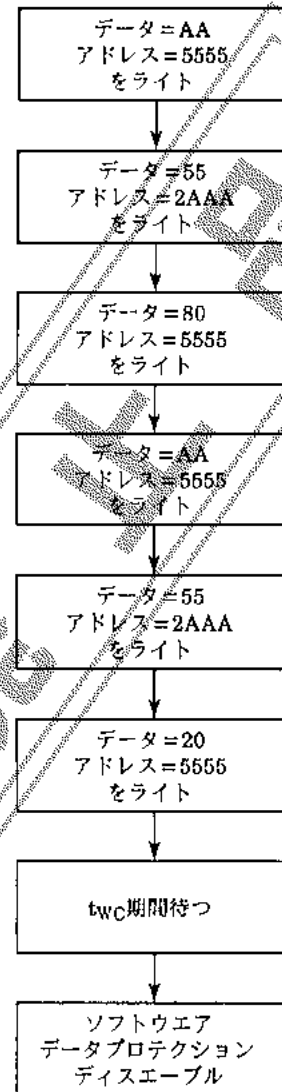
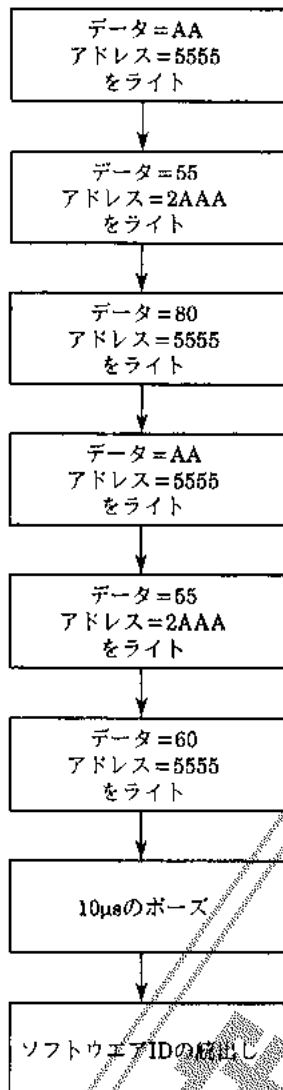
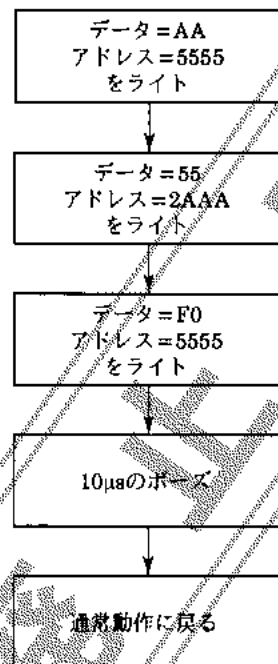
イネーブルソフトウェアデータ
プロテクションコマンドシーケンスディスエーブルソフトウェアデータ
プロテクションコマンドシーケンス

図12：製品識別フローチャート

ソフトウェア製品識別モード開始
コマンドシーケンスソフトウェア製品識別モード終了
コマンドシーケンス

- この資料の構成(絶縁回路および回路定数を含む)は一例を示すもので、圖解セットとしての設計を保証するものではありません。また、この資料は正確かつ信頼すべきものであると確信しておりますが、その使用にあたって第3者の工業所有権その他の権利の喪失に対する保証を行うものではありません。
- 本書記載の製品は、極めて高度の信頼性を要する用途(生命維持装置、航空機のコントロールシステム等、多大な人的・物的損害を及ぼす恐れのある用途)に対応する仕様にはなっておりません。そのような場合には、あらかじめ三洋電機販売窓口までご相談下さい。
- 本書記載の製品が、外国為替および外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に関法に基づく輸出許可が必要です。
- 弊社の承諾なしに、本書の一部または全部を、転載または複製することを禁止します。
- 本書に記載された内容は、製品改善および技術改良等により将来予告なしに変更することがあります。したがって、ご使用の際には、「納入仕様書」でご確認下さい。