



8Mx32 Synchronous DRAM SO-DIMM, 3.3V

FEATURES

- Cycle time of 10ns, 12ns and 15ns
- Packaging:
 - 144 pin SO-DIMM (Package 396)
- Burst Mode Operation (Sequential & Interleave)
- Auto & Self Refresh Capability (4096 cycles /64ms)
- LVTTTL compatible inputs and outputs
- MRS cycle with address key programs
- Burst Length (1, 2, 4, 8 & Full Page)
- Data Scramble
- All inputs are sampled at the positive edge of the system clock
- Serial Presence Detect with EEPROM
- Single 3.3 Volts Operation

The EDI3DG328V are organized as 8Megx32 Synchronous high density DRAM Modules which are based on 4 CMOS 8Megx8bit DRAMs with 2 or 4 banks in a TSOP package which are mounted on an FR4 substrate. The module also includes a serial EEPROM in an 8-pin TSOP package.

The module is a 144 Pin Small Outline Dual In-Line Memory module with gold contacts.

PIN CONFIGURATION

Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol
1	V _{SS}	2	V _{SS}	73	NC	74	CLK ₁
3	DQ ₀	4	DQ ₃₂	75	V _{SS}	76	V _{SS}
5	DQ ₁	6	DQ ₃₃	77	NC	78	NC
7	DQ ₂	8	DQ ₃₄	79	NC	80	NC
9	DQ ₃	10	DQ ₃₅	81	V _{CC}	82	V _{CC}
11	V _{CC}	12	V _{CC}	83	NC	84	NC
13	DQ ₄	14	DQ ₃₆	85	NC	86	NC
15	DQ ₅	16	DQ ₃₇	87	NC	88	NC
17	DQ ₆	18	DQ ₃₈	89	NC	90	NC
19	DQ ₇	20	DQ ₃₉	91	V _{SS}	92	V _{SS}
21	V _{SS}	22	V _{SS}	93	NC	94	NC
23	DQM ₀	24	DQM ₄	95	NC	96	NC
25	DQM ₁	26	DQM ₅	97	NC	98	NC
27	V _{CC}	28	V _{CC}	99	NC	100	NC
29	A ₀	30	A ₃	101	V _{CC}	102	V _{CC}
31	A ₁	32	A ₄	103	A ₆	104	A ₇
33	A ₂	34	A ₅	105	A ₈	106	A ₉
35	V _{SS}	36	V _{SS}	107	V _{SS}	108	V _{SS}
37	DQ ₈	38	DQ ₄₀	109	A ₉	110	BA ₁
39	DQ ₉	40	DQ ₄₁	111	A ₁₀ /AP	112	A ₁₁
41	DQ ₁₀	42	DQ ₄₂	113	V _{SS}	114	V _{CC}
43	DQ ₁₁	44	DQ ₄₃	115	NC	116	NC
45	V _{CC}	46	V _{CC}	117	NC	118	NC
47	DQ ₁₂	48	DQ ₄₄	119	V _{SS}	120	V _{SS}
49	DQ ₁₃	50	DQ ₄₅	121	NC	122	NC
51	DQ ₁₄	52	DQ ₄₆	123	NC	124	NC
53	DQ ₁₃	54	DQ ₄₅	125	NC	126	NC
55	DQ ₁₄	56	DQ ₄₆	127	NC	128	NC
57	NC	58	NC	129	V _{CC}	130	V _{CC}
59	NC	60	NC	131	NC	132	NC
61	CLK ₀	62	CKE ₀	133	NC	134	NC
63	V _{CC}	64	V _{CC}	135	NC	136	NC
65	RAS\	66	CAS\	137	NC	138	NC
67	WE\	68	NC	139	V _{SS}	140	V _{SS}
69	CS ₀ \	70	A ₁₂ /NC	141	SDA	142	SCL
71	NC	72	NC	143	V _{CC}	144	V _{CC}

PIN DESCRIPTION

A0-12	Address lines
BA ₀₋₁	Bank Select
DQ ₀₋₁₅ , DQ ₃₂₋₄₇	Data Input/Output
CLK-CKL ₁	Clock Input
RAS\	Row Address Strobe
CAS\	Column Address Strobe
CKE ₀	Clock Enable Input
DQM _{0,1,4,5}	DQM
CS ₀ \	Chip Select Input
WE\	Write Enable
SDA	Serial Data I/O
SCL	Serial Clock
V _{CC}	Power Supply
V _{SS}	Ground
NC	No Connection

NOTE:

DQMs vs Data I/Os

DQM₀ controls DQ₀₋₇

DQM₁ controls DQ₈₋₁₅

DQM₄ controls DQ₃₂₋₃₉

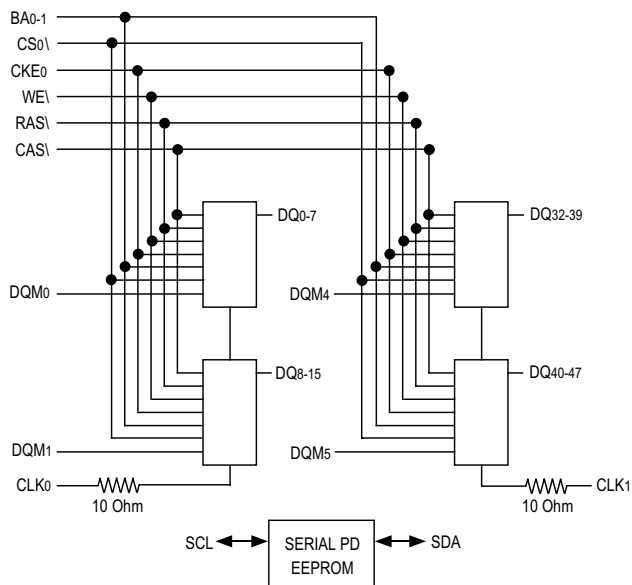
DQM₅ controls DQ₄₀₋₄₇

NOTES:

1. A₁₂ (Pin 70) is NC when using 4 bank devices
2. BA₁ (Pin 110) is on C when using 2 bank devices



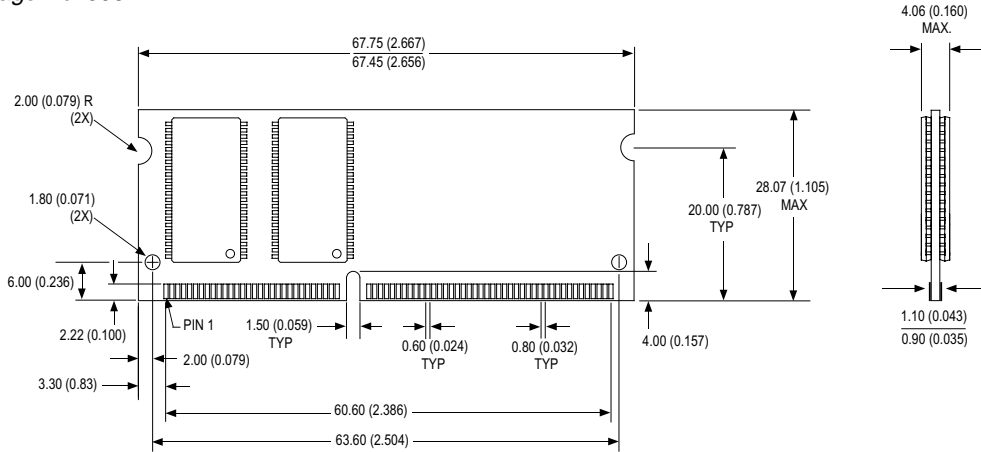
BLOCK DIAGRAM





PACKAGE DESCRIPTION: 144 PIN SO-DIMM

Package No. 396



ALL LINEAR DIMENSIONS ARE MILLIMETERS AND PARENTHETICALLY IN INCHES

ORDERING INFORMATION

Part Number	Organization	Operating Frequency	Package No.
EDI3DG328V8D1	8M x 32 (4 bank SDRAMs)	125 Mhz	396
EDI3DG328V10D1	8M x 32 (4bank SDRAMs)	100 Mhz	396
EDI3DG328V12D1	8M x 32 (4 bank SDRAMs)	83 Mhz	396