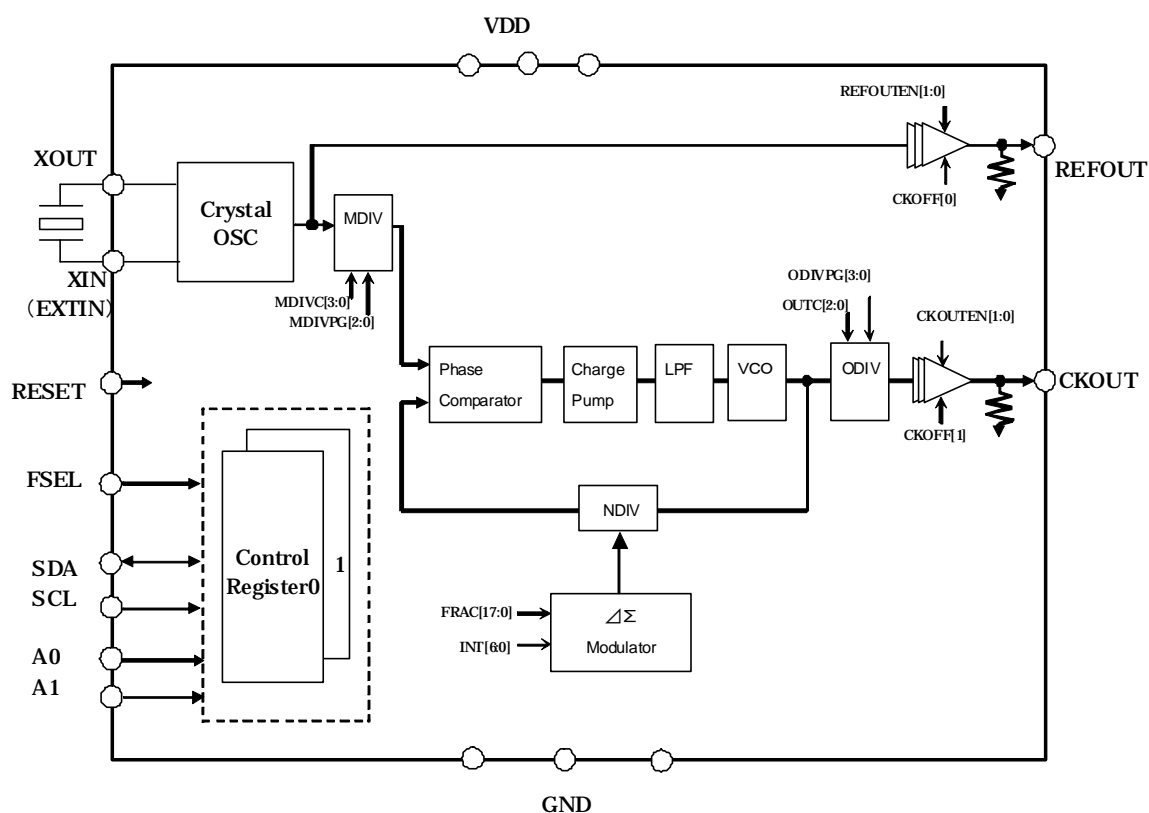


AK8142は、フラクショナルPLLを内蔵したプログラマブル・クロックジェネレータICです。外部クロック入力または水晶振動子発振を基準クロックとし高分解能に出カクロックを設定することができます。

特 長

- 動作電源電圧： 3.0V-3.6V
- インタフェース電圧： 1.8V~3.3V
- 低消費電流： 5.5mA typ.
- 水晶発振周波数： 16.0MHz~32.0MHz
- 入力クロック： 2.0MHz~67.0MHz
- 生成クロック： 4MHz~200MHz
- 2線式シリアルインタフェース：
- パッケージ： 16ピンTSSOP（鉛フリー）
- 用途： 各種アプリケーションクロック

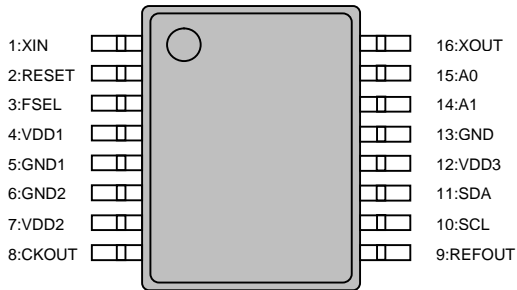


ブロック図

(注意)本仕様書は暫定版であり、予告なしに変更することがあります。

1. 端子説明

1-1) 端子配置図



1-2) 端子機能説明

端子番号	端子名 (端子タイプ)	説明
1	XIN (XI)	水晶振動子接続端子/外部クロック入力.
2	RESET (DI)	リセット端子. レジスタ及びPLLデジタル部のRESETを行います. H: RESET L:通常動作
3	FSEL (DI)	周波数設定レジスタ選択端子. レジスタF7のCTLFSELが“1”のとき有効です。
4	VDD1 (PWR)	電源端子1 3.3V (内部コア用)
5	GND1 (PWR)	接地端子1
6	GND2 (PWR)	接地端子2.
7	VDD2 (PWR)	電源端子2 1.8Vまたは3.3V (出力バッファ用)
8	CKOUT (DO)	クロック出力端子.
9	REFOUT (DO)	PLL基準クロック出力端子.
10	SCL (DI)	シリアルインタフェース用クロック入力端子
11	SDA (DIO)	シリアルインタフェース用データ入出力端子
12	VDD3 (PWR)	電源端子3 1.8Vまたは3.3V(シリアル・インタフェース用)
13	GND3 (PWR)	接地端子3 (シリアル・インタフェース用)
14	A1 (DI)	I2Cアドレス設定端子1.
15	A0 (DI)	I2Cアドレス設定端子0.
16	XOUT (XO)	水晶振動子接続端子 外部クロック入力時は開放にしてください.

PWR: 電源、DO: デジタル出力、DI: デジタル入力、DIO: デジタル入出力
 XI: 水晶振動子接続(入力), XO: 水晶振動子接続(出力)

2. 電気的特性

2-1) 絶対最大定格

項目	記号	MIN	MAX	単位	備考
電源電圧	VDD	-0.3	4.6	V	
グラウンド・レベル	VSS	0	0	V	
入力端子電圧	VIN	VSS-0.3	VDD+0.3	V	
入力電流	IIN	-10	10	mA	
保存温度	Tstg	-55	130	°C	

注意：この値を超えた条件で使用した場合デバイスを破壊することがあります。

また、通常の動作は保証されません。

2-2) 動作条件

項目	記号	MIN	TYP	MAX	単位	備考
動作温度	Ta	-30		85	°C	
電源電圧	VDD1	3.0	3.3	3.6	V	
	VDD2 VDD3	1.7	1.8	VDD1	V	
	出力端子 負荷容量	Cplclk			15	pF
				10		
				8		
	Cplref			25		REFOUT ~67MHz

2-3) 消費電流

VDD1=3.3V, VDD2=VDD3=1.8V, Ta=25°C

項目	記号	MIN	TYP	MAX	単位	備考
消費電流1	IDD1		4.4		mA	
消費電流2	IDD2		0.95		mA	
消費電流3	IDD3		0.05		mA	

XIN=16.0MHz, CKOUT=24.5759989MHz,

外部クロックモード、SCL=H、SDA=H、出力端子無負荷時

レジスタ設定値：FF=03hex、FE=74hex、FD=BChex、FC=25hex、FB=32HEX、FA=61hex

2-4) DC特性

VDD1 = 3.3V, VDD2=VDD3=1.8V, Ta = -30~85°C

項目	端子	MIN	TYP	MAX	単位	備考
高レベル入力電圧 1	A0/A1 FSEL	0.7*VDD1			V	
低レベル入力電圧 1	RESET			0.3*VDD1	V	
高レベル入力電圧 2	SCL/SDA	0.7*VDD3			V	*1
低レベル入力電圧 2				0.3*VDD3	V	
出力高レベル電圧 1	REFOUT CLKOUT	0.8*VDD2			V	IOH=-4mA
出力低レベル電圧 1				0.2*VDD2	V	IOL=4mA
出力低レベル電圧 2	SDA			0.4	V	IOL=3mA Open Drain
入力リーク電流	A0/A1 FSEL RESET	-10		+10	uA	

*1 SDA,SCLの電圧は、VDD3(2線デジタルインタフェース用電源)を超えないようにしてください。

2-5) AC特性

VDD=3.3V, VDD2-VDD3=1.8V, Ta=-30~85°C

項目	端子	MIN	TYP	MAX	単位	備考
発振周波数	XIN XOUT	16.0	24.0	32.0	MHz	*1 水晶振動子使用時 基本波
入力クロック周波数	XIN	2.0		67.0	MHz	外部入力モード時 0.8Vpp 以上
入力クロック デューティサイクル	XIN	30	50	70	%	*1 外部入力モード時
位相比較周期		2		4	MHz	*2 内部信号
VCO 発振周波数	CKOUT	100			MHz	*3
出力クロック周波数	CKOUT	4.0		100	MHz	*4 出力分周有
		100		200	MHz	*4 出力分周無
出力 CLK 立ち上がり時間	REFOUT			3.0	ns	*1,*5 0.2VDD->0.8VDD 2MHz~66MHz
	CKOUT			3.0	ns	*1,*5 0.2VDD->0.8VDD 4MHz~100MHz
				2.5	ns	*1,*5 0.2VDD->0.8VDD ~150MHz
				2.0	ns	*1,*5 0.2VDD->0.8VDD ~200MHz
出力 CLK 立ち下がり時間	REFOUT			3.0	ns	*1,*5 0.8VDD->0.2VDD 2MHz~66MHz
	CKOUT			3.0	ns	*1,*5 0.8VDD->0.2VDD ~100MHz
				2.5	ns	*1,*5 0.8VDD->0.2VDD ~150MHz
				2.0	ns	*1,*5 0.8VDD->0.2VDD ~200MHz
ピリオドジッタ(1σ)	CKOUT		20		ps	*1,*5
出力クロック デューティサイクル	REFOUT	40	50	60	%	*1,*5、*6
	CKOUT	45	50	55		*1,*5 出力分周有
		30	50	70		*1,*5 出力分周無
出力ロック時間	CKOUT		1		Ms	*7

*1 設計値

*2 位相比較周波数=入力周波数/MDIV 分周数 FAレジスタ参照

*3 VCO 発振周波数=位相比較周波数×NDIV FCレジスタ参照

*4 FBレジスタ参照

*5 負荷容量は2-2)端子負荷容量値を参照

*6 水晶振動子使用時、または外部入力 CLK デューティ50%

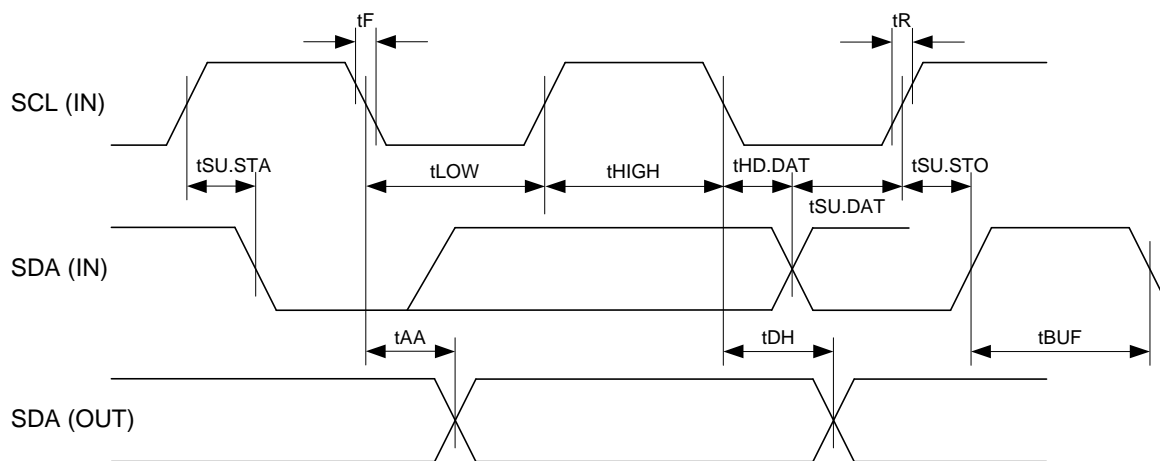
*7 FSEL 切り替え後クロック出力が所定の周波数の±0.1%に達するまでの時間

2-6) シリアル入出力端子 AC 特性 (2 線式デジタル I/F: スレーブモード)

VDD=3.3V, VDD2-VDD3=1.8V, Ta=-30~85°C

項目	記号	Min.	Max.	単位	備考
SCL 周波数	fSCL		400	kHz	
SCL=Low 区間	tLOW	1.3		μs	
SCL=High 区間	tHIGH	0.6		μs	
抑圧可能スパイクパルス幅	tI		50	ns	
SCL=Low から SDA (OUT) 確定	tAA	0.1	3.5	μs	
バス開放時間	tBUF	1.3		μs	
スタートセットアップタイム	tSU.STA	0.6		μs	
ストップセットアップタイム	tSU.STO	0.6		μs	
SDA (IN) ホールドタイム	tHD.DAT	0		μs	
SDA (IN) セットアップタイム	tSU.DAT	0.1		μs	
入力立ち上がり遷移時間	tR		0.3	μs	*1
入力立ち下がり遷移時間	tF		0.3	μs	*1
SDA (OUT) ホールドタイム	tDH	0.1		μs	

*1 設計値

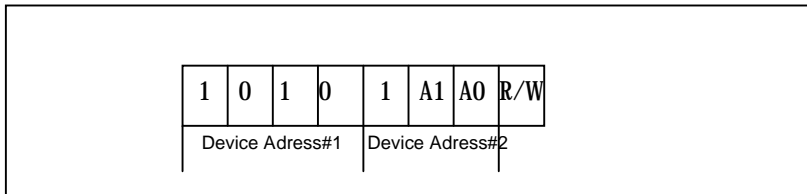


3. 機能説明

3-1) 2線式デジタルインタフェース

2線式デジタルインタフェース(I/F)におけるリード/ライト動作を以下に示します。AK8142のデバイス・アドレス1は‘1010’です。デバイス・アドレス2の2ビットはA0,A1端子で設定できます。

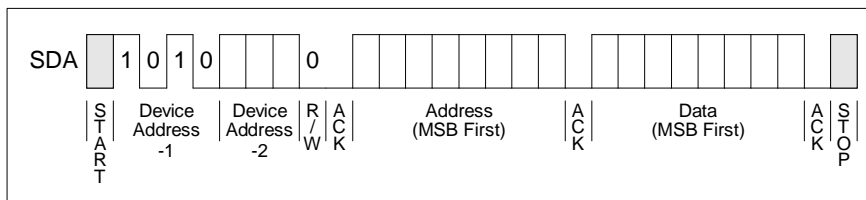
図 3-1 AK8142 デバイスアドレス



3.1.1 バイト・ライト

図 3-2 にバイト・ライト動作を示します。アドレスを指定し、書き込みたいデータを入力します。

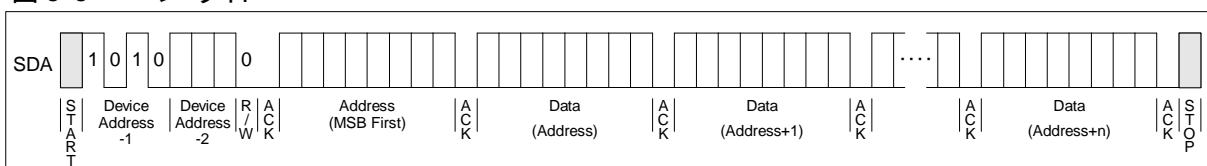
図 3-2 バイト・ライト



3.1.2 ページ・ライト

図 3-3 にページ・ライト動作を示します。尚、ページ・ライトは、8ビットのアドレス中の下位4ビットに対して有効であり、上位4ビットは変化しません。従って、アドレス“1111 1111”への書き込み後、次に書き込まれるアドレスは“1111 0000”となります。

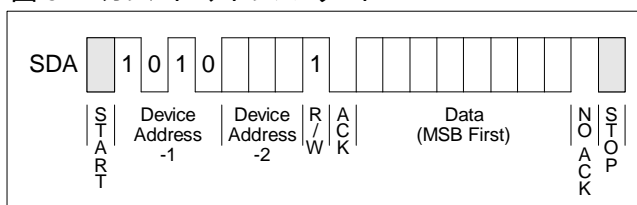
図 3-3 ページ・ライト



3.1.3 カレント・アドレス・リード

図 3-4 にカレント・アドレス・リード動作を示します。読み出されるデータは、“最後にアクセスしたアドレス+1”となります。アドレス“1111 1111”の次に読み出されるアドレスは“1111 0000”となります。

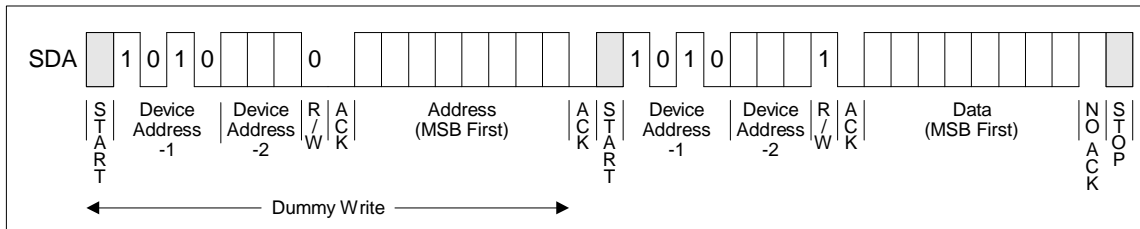
図 3-4 カレント・アドレス・リード



3.1.4 ランダム・リード

図 3-5 にランダム・リード動作を示します。ランダム・リードを行なう場合は、ダミーライトにより、読み出したいアドレスを指定し、リード命令を発行します。

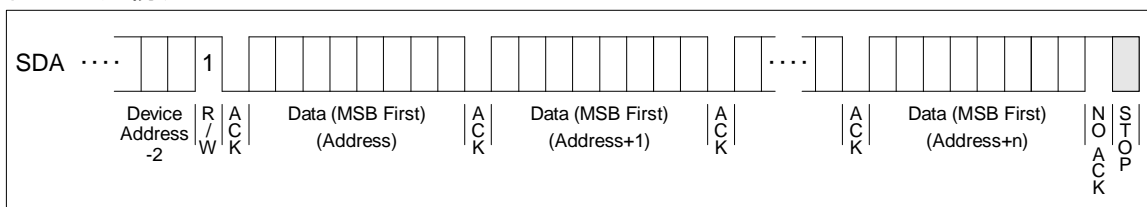
図 3-5 ランダム・リード



3.1.5 連続リード

図 3-6 に連続リード動作を示します。リード命令により、指定されたアドレスのデータが出力された後、マスターがストップコンディションを送らず、ACK を生成すると、次のアドレスのデータを読み出すことができます。アドレス“1111 1111”の次に読み出されるアドレスは“1111 0000”となります。

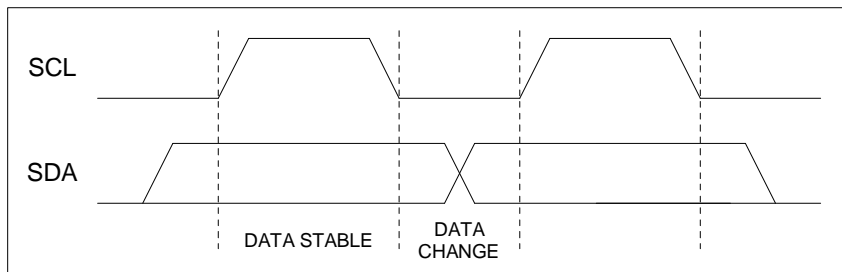
図 3-6 連続リード



3.1.6 データ 変更

図 3-7 にデータ変更タイミングを示します。データ(SDA)の変更は、SCL が“L”の時に行ないます。

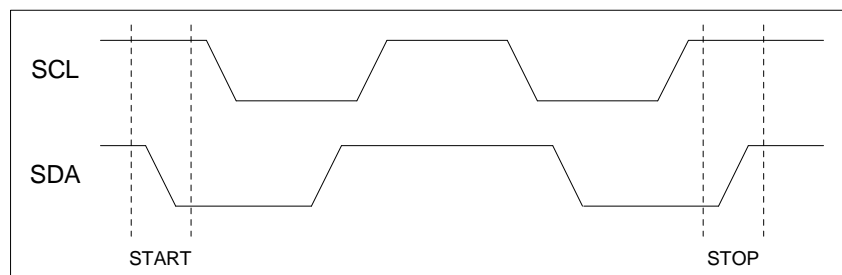
図 3-7 データ変更



3.1.7 スタート/ストップ

図 3-8 にスタート/ストップのタイミングを示します。SCL が“H”の時に、SDA を“H”→“L”にするとスタートとなり、SDA を“L”→“H”にするとストップとなります。

図 3-8 スタート/ストップ



3-2) レジスタマップ

FA～FFは2面構成で、F7レジスタのBANK, BANKWR, CTLFSELで制御されます。“-”は、0が読み出されます。

下段：リセット値

注意：SFTRSTビットはパワーオンリセットでリセットされません。

アドレス	D7	D6	D5	D4	D3	D2	D1	D0	備考
FF	-	-	-	-	-	-	FRAC[17]	FRAC[16]	△Σ小数部
							0	0	
FE	FRAC[15]	FRAC[14]	FRAC[13]	FRAC[12]	FRAC[11]	FRAC[10]	FRAC[9]	FRAC[8]	
	0	0	0	0	0	0	0	0	
FD	FRAC[7]	FRAC[6]	FRAC[5]	FRAC[4]	FRAC[3]	FRAC[2]	FRAC[1]	FRAC[0]	
	0	0	0	0	0	0	0	0	
FC	-	INT[6]	INT[5]	INT[4]	INT[3]	INT[2]	INT[1]	INT[0]	△Σ整数部
		0	1	0	0	0	0	0	
FB	-	OUTC[2]	OUTC[1]	OUTC[0]	ODIVPG[3]	ODIVPG[2]	ODIVPG[1]	ODIVPG[0]	OUTDIV制御
		1	1	1	0	1	1	1	
FA	MDIVC[3]	MDIVC[2]	MDIVC[1]	MDIVC[0]	MDIVP[3]	MDIVP[2]	MDIVP[1]	MDIVP[0]	MDIV制御
	0	1	1	0	0	0	0	1	
F9	-	-	-	-	reserved	reserved	reserved	reserved	予約
					0	1	0	1	
F8	-	-	-	-	reserved	reserved	reserved	reserved	予約
					0	0	0	0	
F7	BANK	BANKWR	CTLFSEL	CKOFF[1]	CKOFF[0]	reserved	PD	SFTRST*	リセット制御 BANK制御
	0	0	0	1	0	0	0	0	
F6	-	-	-	-	CKOUTEN [1]	REFOTEN [0]	REFOTEN [1]	REFOTEN [0]	OUTBUF制御
					0	0	0	0	
F5	-	-	-	-	-	-	DUMON	DITHER	△Σ制御
							0	1	
F4	-	-	-	-	-	-	-	-	テスト
~	-	-	-	-	-	-	-	-	テスト
F1	-	-	-	-	-	-	-	-	テスト

F1～F4はテスト用レジスタがありますのでライトアクセスしないでください。

3-3)レジスタ機能説明

周波数設定方法については、3-4)をご参照ください。

(1)レジスタ FF、FE、FD フラクショナル N分周数 少数部設定

アドレス	D7	D6	D5	D4	D3	D2	D1	D0
FF							FRAC[17]	FRAC[16]
FE	FRAC[15]	FRAC[14]	FRAC[13]	FRAC[12]	FRAC[11]	FRAC[10]	FRAC[9]	FRAC[8]
FD	FRAC[7]	FRAC[6]	FRAC[5]	FRAC[4]	FRAC[3]	FRAC[2]	FRAC[1]	FRAC[0]

FRAC[17:0] FRACTIONAL N 分周数 少数部設定

FRAC[17:0]	A 値	少数値
01 1111 1111 1111 1111	+131071	0.49999619..
01 1111 1111 1111 1110	+131070	
01 0000 0000 0000 0000	+65536	0.25
00 0000 0000 0000 0001	+1	0.00000381..
00 0000 0000 0000 0000	0	0
11 1111 1111 1111 1111	-1	-0.00000381..
11 1111 1111 1111 1110	-2	
11 0000 0000 0000 0000	-65536	-0.25
10 0000 0000 0000 0001	-131071	-0.49999619..
10 0000 0000 0000 0000	-131072	-0.5

N値の少数部は $A/2^{18}$ で表され、分子部分のA値をレジスタ FRAC で設定します。FRAC[17:0]は2の補数表現で、 $-2^{17} \sim +2^{17}$ まで設定できます。よって少数部は $-0.5 \sim +0.5$ まで設定できます。

アドレス FF にアクセスすると FRAC[17:0] が更新されますので、FD,FE,FF の順に書き込みを行ってください。

(2)レジスタ FC フラクショナル N分周数 整数部設定

アドレス	D7	D6	D5	D4	D3	D2	D1	D0
FC	—	INT[6]	INT[5]	INT[4]	INT[3]	INT[2]	INT[1]	INT[0]

INT[5:0] FRACTIONAL N 分周数 整数部設定

INT[6:0]	整数値
000 0000 ~ 001 1000	設計禁止
001 1001	25
001 1010	26
110 0011	99
110 0100	100
110 0101 ~ 111 1111	設定禁止

*注 設定値"25"~"100"以外は使用しないで下さい。

(3)レジスタ FB 出力分周設定

アドレス	D7	D6	D5	D4	D3	D2	D1	D0
FB	-	OUTC[2]	OUTC[1]	OUTC[0]	ODIVPG[3]	ODIVPG[2]	ODIVPG[1]	ODIVPG[0]

OUTC[2] プログラマブル分周器入力選択

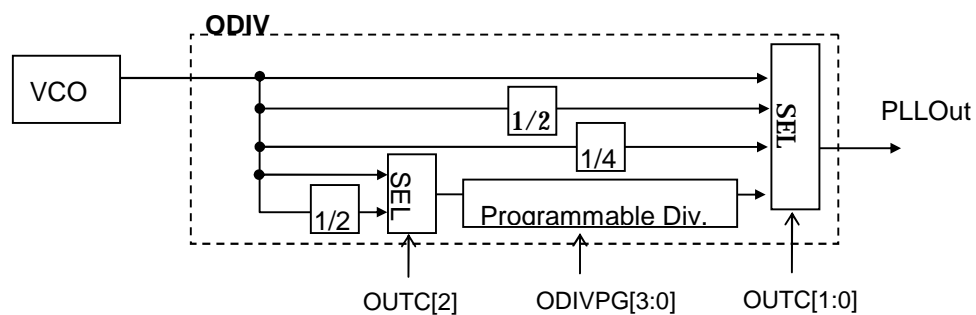
0	VCO出力
1	VCO出力2分周

OUTC[1:0] PLL出力選択

OUTC[1:0]	
0 0	VCO出力(分周なし)
0 1	VCO出力2分周
1 0	VCO出力4分周
1 1	VCOプログラマブル分周出力

ODIVPG[3:0] プログラマブル分周器制御

ODIVPG[3:0]	分周値
0 0 0 0	(出力固定)
0 0 0 1	4
0 0 1 0	6
0 0 1 1	8
0 1 0 0	10
0 1 0 1	12
0 1 1 0	14
0 1 1 1	16
1 0 0 0	18
1 0 0 1	20
1 0 1 0	22
1 0 1 1	24
1 1 0 0	26
1 1 0 1	28
1 1 1 0	30
1 1 1 1	(出力固定)



(4)レジスタ FA REFCLK分周数 設定

アドレス FA	D7	D6	D5	D4	D3	D2	D1	D0
	MDIVC[3]	MDIVC[2]	MDIVC[1]	MDIVC[0]	MDIVP[3]	MDIVP[2]	MDIVP[1]	MDIVP[0]

MDIVC[3] プログラマブル分周器入力選択

0	CLKIN
1	CLKINの2分周

MDIVC[2] 3or4分周器 分周値選択

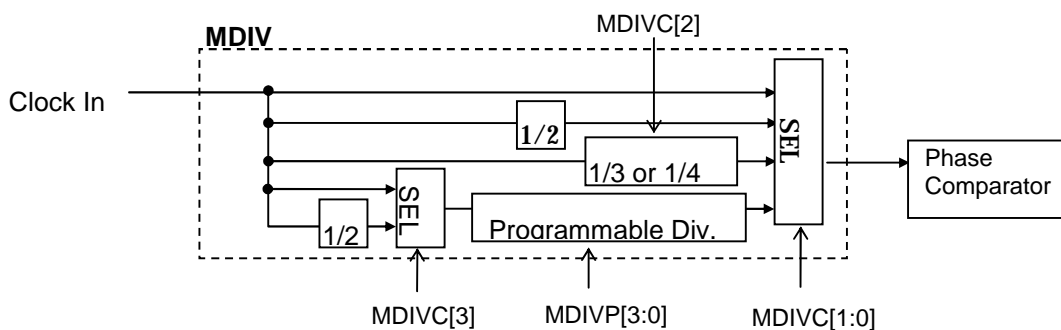
0	3分周
1	4分周

MDIVC[1:0] M分周器 分周値制御

MDIVC[1:0]	分周値
0 0	1
0 1	2
1 0	3or4分周値
1 1	プログラマブル分周値

MDIVP[3:0] プログラマブル分周器制御

MDIVP[3:0]	分周値
0 0 0 0	設定禁止
0 0 0 1	2
0 0 1 0	3
0 0 1 1	4
0 1 0 0	5
0 1 0 1	6
0 1 1 0	7
0 1 1 1	8
1 0 0 0	9
1 0 0 1	10
1 0 1 0	11
1 0 1 1	12
1 1 0 0	13
1 1 0 1	14
1 1 1 0	15
1 1 1 1	16



(5)レジスタ F9 F8 予約

アドレス	D7	D6	D5	D4	D3	D2	D1	D0
F9	—	—	—	—	reserved	reserved	reserved	reserved
F8	—	—	—	—	reserved	reserved	reserved	reserved

これらのレジスタは予約されています。 **F9は05hex、F8には00hexの設定でご使用ください。**

(6)レジスタ F7 リセット及びBANK制御設定

アドレス	D7	D6	D5	D4	D3	D2	D1	D0
F7	BANK	BANKWR	CTLFSEL	CKOFF[1]	CKOFF[0]	reserved	PD	SFTRST

BANK

周波数設定値選択

0	BANK0選択 CTLFSEL="0"のとき有効です。
1	BANK1選択 CTLFSEL="0"のとき有効です。

BANKWR

BANK書き込み選択

0	BANK0への書き込みを選択
1	BANK1への書き込みを選択

CTLFSEL

FSEL端子機能選択

0	無効 周波数選択はBANKビットで選択されます。 レジスタ設定中はCTLFSEL機能を無効にしてください。
1	有効 周波数選択はFSEL端子の状態で選択されます。

CKOFF[1]

CKOUT出力バッファ制御

0	出力
1	出力OFF (500K Ω Pull_Down)

CKOFF[0]

REFOUT出力バッファ制御

0	出力
1	出力OFF (500K Ω Pull_Down)

reserved

予約ビットです。"0"に設定してください。

PD

PLLパワーダウン制御

0	通常
1	PLLアナログ系パワーダウン 出力は'H'となります。

SFTRST

ソフトウェアリセット制御

0	リセット解除(通常動作)
1	デジタル系リセット(PLLデジタル部、レジスタ)

ソフトウェアリセット解除は"0"をレジスタに設定してください。

(7)レジスタ F6 出力バッファ制御

アドレス	D7	D6	D5	D4	D3	D2	D1	D0
F6	—	—	—	—	CKOUTEN[1]	CKOUTEN[0]	REFOUTEN[1]	REFOUTEN[0]

CKOUTEN[1:0]

CKOUT バッファ駆動能力制御

CKOUTEN[1:0]	
0 0	大(x3)
0 1	中(x2)
1 0	中(x2)
1 1	小(x1)

REFOUTEN[1:0]

REFOUT バッファ駆動能力制御

REFOUTEN[1:0]	
0 0	大(x3)
0 1	中(x2)
1 0	中(x2)
1 1	小(x1)

 (8)レジスタ F5 $\Delta\Sigma$ 動作設定

アドレス	D7	D6	D5	D4	D3	D2	D1	D0
F5	—	—	—	—	—	—	DUMON	DITHER

DUMON

 $\Delta\Sigma$ モジュレータ 制御

DUMON	
0	通常
1	$\Delta\Sigma$ モジュレータをバイパスします PLLを整数分数で使用する場合に設定してください。

DITHER

フラクショナルN 分周器設定

DITHER	
0	少数部を0として動作します。 PLLを整数分数で使用する場合に設定してください。
1	通常

(9)レジスタ F4-F1

ICテスト用レジスタです。ライトアクセスしないでください。

3-4) 設定方法

CKOUTの出力周波数は、REFCLK分周数(MDIV)、出力分周数(ODIV)、フラクショナルN分周数(INT,FRAC)で決定されます。これらのパラメータは下記のように設定します。

1. VCOの基準周波数を決める。

出力周波数と出力分周数(FBレジスタ)からVCO周波数(fvco)を決定します。
このとき、VCO周波数は100MHz~200MHzとなるように設定してください。
出力周波数が100MHzを超える場合はODIVを1として出力してください。

2. 位相比較周波数を決める。

位相比較周波数が2MHz~4MHzとなるようにM分周器を設定します。

3. 帰還分周値を決める

VCO周波数(fvco)と位相比較周波数(fcmp)から帰還分周値を決定します。
設定値は、整数部7ビット、少数部18ビット(符号付2の補数)となります。

$$\begin{aligned} \text{整数部(INT)} &= \text{round}(fvco / fcmp) \\ \text{少数部(FRAC)} &= \text{round}((fvco / fcmp) - \text{INT}) \times 2^{18} \end{aligned}$$

設定例1) 27MHz入力、123.75MHz出力

- (1) VCO周波数: 123.75MHz ODIV=1
 (2) 位相比較周波数: 3MHz MDIV=9
 27MHz/9=3MHz
 (3) 帰還分周数: 41.25 INT=41d FRAC=65536d
 $\text{INT} = \text{round}(123.75/3) = \text{round}(41.25) = 41\text{d}$
 $\text{FRAC} = \text{round}(41.25-41) \times 2^{18} = 65536\text{d}$
 出力周波数誤差: Oppm

上記からINT[6:0]=29hex,FRAC[17:0]=10000hex

設定例1のレジスタ設定値)

<アドレス>	<設定値>	<内容>
0xF7	0x08	SFTRSTビットクリア BANK0,FSEL=無効、REFOUT=OFF
0xFA	0x38	MDIV=9d
0xFB	0x00	ODIV=1d
0xFC	0x29	INT=41d
0xFD	0x00	FRAC(下位8ビット)
0xFE	0x00	FRAC(中位8ビット)
0xFF	0x01	FRAC(上位2ビット) FRAC=655536d

設定例2) 16MHz入力、24.576MHz出力

- (1) VCO周波数: 147.456MHz ODIV=6
 (2) 位相比較周波数: 4MHz MDIV = 4
 16MHz/4=4MHz
 (3) 帰還分周数: 36.864 INT=37d FRAC=-35652d
 $INT = \text{round}(147.456/4) = \text{round}(36.864) = 37d$
 $FRAC = \text{round}(36.864 - 37) \times 2^{18} = -35652d$
 出力周波数誤差: 0.043ppm(1.06Hz)

上記からINT[6:0]=25hex,FRAC[17:0]=374BChex

設定例2のレジスタ設定値)

<アドレス>	<設定値>	<内容>
0xF7	0x08	SFTRSTビットクリア BANK0、FSEL=無効,REFOUT=OFF
0xFA	0x06	MDIV=4d
0xFB	0x32	ODIV=6d
0xFC	0x25	INT =37d
0xFD	0xBC	FRAC(下位8ビット)
0xFE	0x74	FRAC(中位8ビット)
0xFF	0x03	FRAC(上位2ビット) FRAC=-35652d

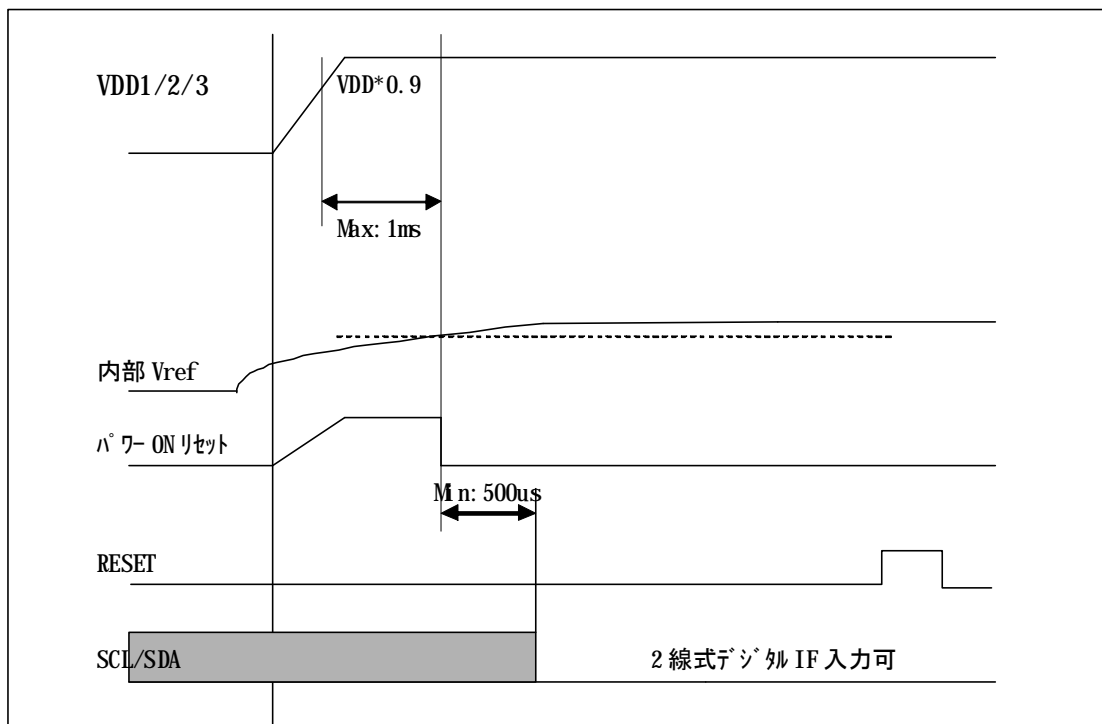
3-5) 電源立ち上げシーケンス

VDD1/2/3は、同時に立ち上げてください。

RESETを‘L(GND)’として立ち上げるとパワーオンリセットがかかります。

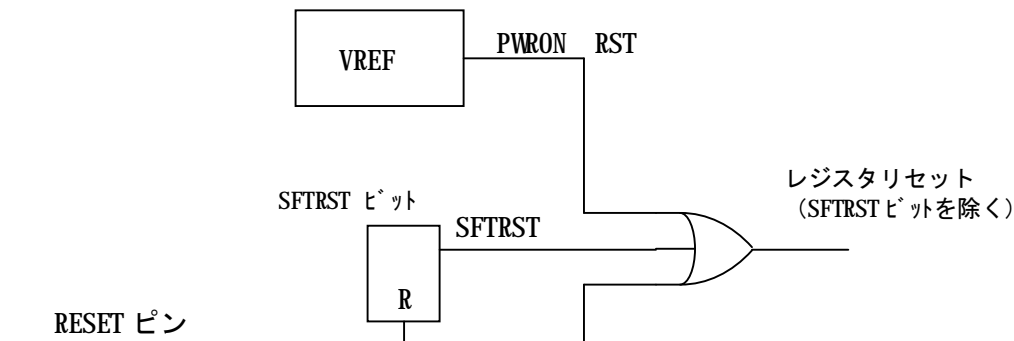
電源立ち上げ後、1msでSCL/SDAの入力が可能になります。

RESET信号でリセットを行う場合は、RESET解除後500usecでSCL/SDAの入力が可能になります。



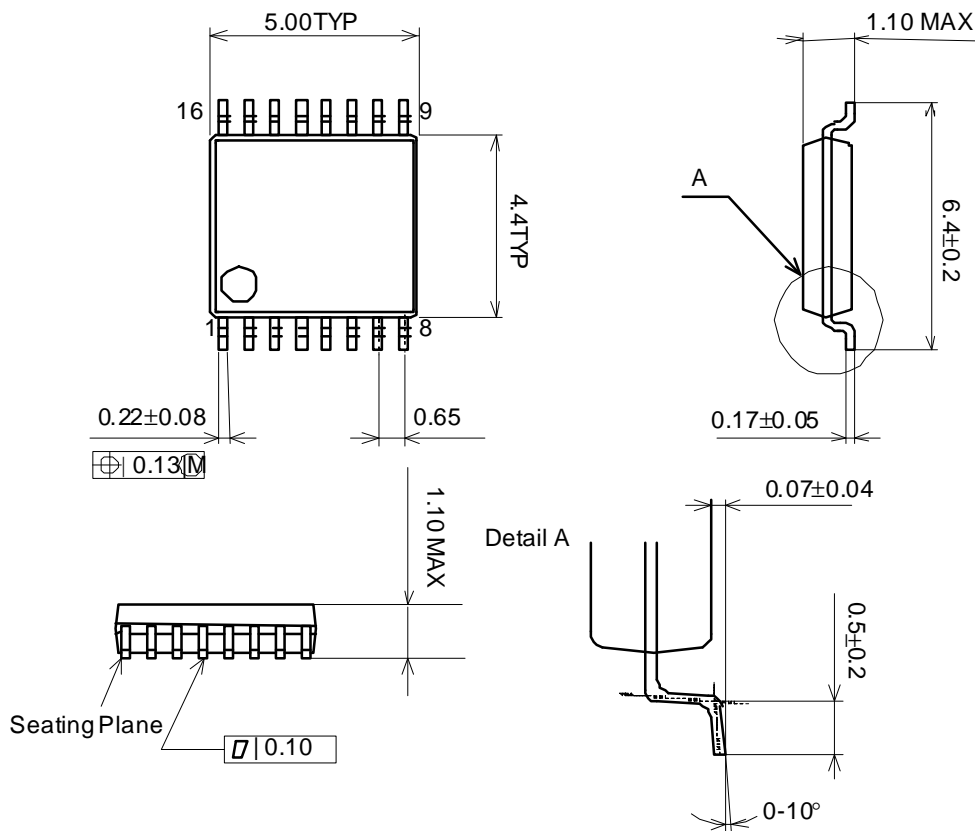
3-6) リセット回路

リセットは内部パワーオンリセットかRESET端子での“H”入力もしくはレジスタのSFTRSTビットの操作で行うことができます。SFTRSTビットはパワーオンリセットでクリアは保証されません。パワーオンリセット後は“0”を書き込みリセット状態を解除してください。



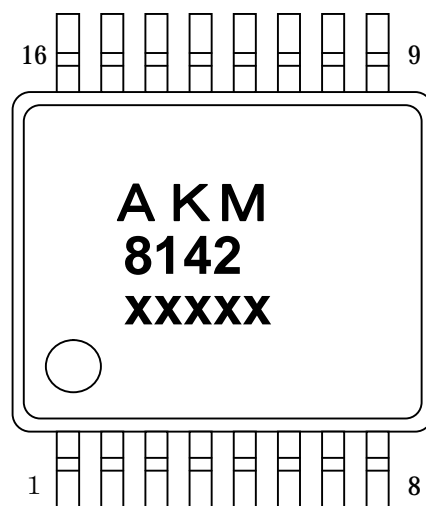
4. パッケージ外形寸法図(単位mm)

16pin TSSOP (Unit: mm)



5. マーキング図

- | | |
|---------------|------------|
| a. 1ピン表示 | 丸印 |
| b. ロゴ | AKM |
| c. マーケティングコード | 8142 |
| d. 日付コード | XXXXX (5桁) |



重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用した場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。