

## 24bit 双通道 D/A 转换电路

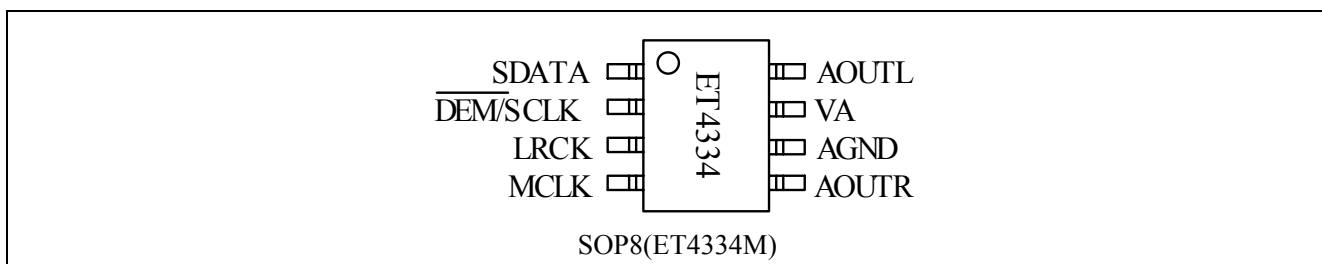
### 概述

ET4334 是 24bit 双通道数模转换输出电路,它包括 1bit 插值原理 D/A 转换器和输出模拟滤波器。ET4334 支持主流的音频数据格式。ET4334 工作基于过抽样  $\Sigma - \Delta$  调制原理, 调节器输出控制基准电压输入超线性模拟低通滤波器。通过简单调整主时钟频率就可匹配 2kHz 到 100kHz 的不同采样率。

### 功能特点

- 完全立体 DAC 系统:
- 24bit 转换
- 96dB 动态范围
- -88dB 总谐波失真+信噪比
- 低时钟抖动敏感度
- 5V 工作电压
- 线性滤波输出
- 片上集成数字预减
- 封装形式: SOP8(ET4334M)

### 管脚排列图

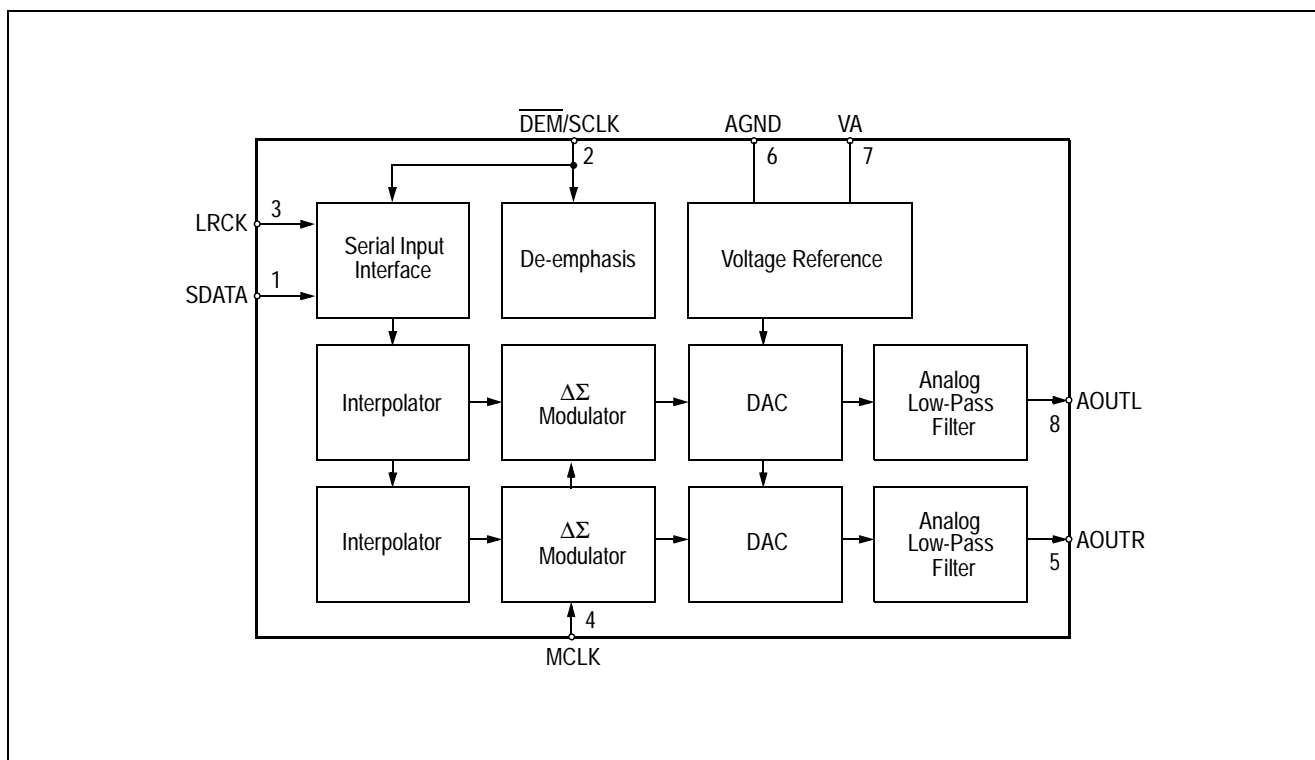


### 管脚说明

管脚	管脚名称	I/O	管脚说明
1	SDATA	I	串行音频数据输出端口。
2	$\overline{\text{DEM}}/\text{SCLK}$	I	外部串行时钟输入端口。
3	LRCK	I	左/右时钟端口。
4	MCLK	I	主时钟端口。
5	AOUTR	O	模拟右通道输出端口。
6	AGND	I	模拟地。
7	VA	I	模拟电源。
8	AOUT	O	模拟左通道输出端口。

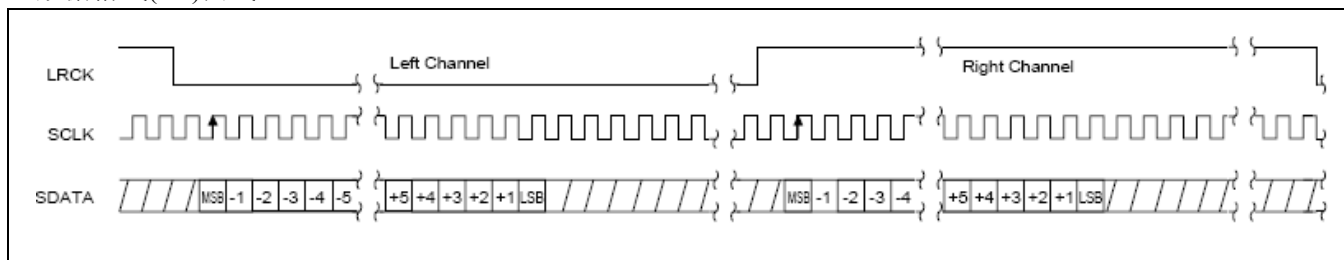
# ET4334

## 功能框图



## 功能说明

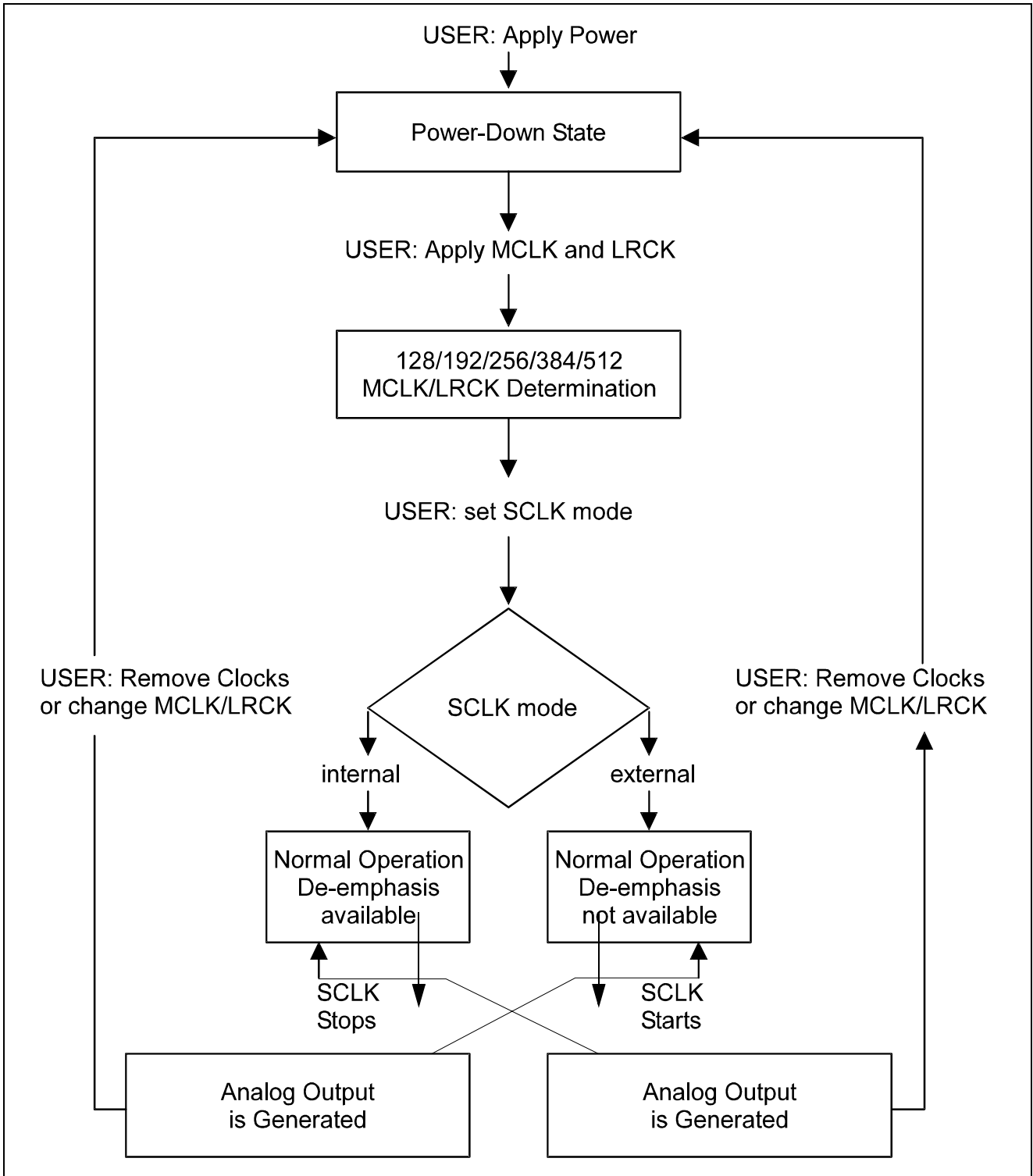
数据格式(I<sup>2</sup>S)曲线



内部 SCLK 方式	外部 SCLK 方式
I <sup>2</sup> S, 如果 MCLK/LRCK=512,256/128, 16bit 数据和 INT SCLK=32Fs	I <sup>2</sup> S, 最高可到 24bit 数据 SCLK 的上升延数据有效
I <sup>2</sup> S, 如果 MCLK/LRCK=384/192, 大于 24bit 数据和 INT SCLK=48Fs	

# ET4334

## ET4334 Initialization and Power-Down Sequence



# ET4334

## 极限参数(AGND=0V)

参数	符号	Min.	Max	单位
DC 工作电压	VA	-0.3	6.0	V
输入电流	I <sub>IN</sub>	-	±10	mA
数字输入电压	V <sub>IND</sub>	-0.3	VA+0.4	V
工作温度	T <sub>A</sub>	-55	125	°C
储存温度	T <sub>STG</sub>	-65	150	°C

## 推荐工作条件

参数	符号	Min.	Typ.	Max.	单位
DC 工作电压	VA	4.75	5.0	5.5	V

## 电参数

### 模拟特性

参数		符号	Base-rate 模式			High-rate 模式			单位	
			Min.	Typ.	Max.	Min.	Typ.	Max.		
动态范围	18to24bit	Unweighted		85	93	-	-	90	dB	
		A-weighted		88	96	-	88	96		
	16bit	Unweighted		83	91	-	-	88		
		A-weighted		86	94	-	86	94		
总谐波失真+信噪比	18to24bit	0dB	THD +N	-	-88	-82	-	-88	-82	dB
		-20dB		-	-73	-65	-	-70	-62	
		-60dB		-	-33	-25	-	-30	-22	
	16bit	0dB		-	-86	-70	-	-86	-80	dB
		-20dB		-	-71	-63	-	-68	-60	
		-60dB		-	-31	-23	-	-28	-20	
通道分离		1kHz		-	94	-	-	95	-	dB
<b>数字和模拟滤波响应</b>										
通频带	to-0.5dB corner			0	-	.4780	-	-	-	Fs
	to-0.1dB corner			-	-	-	0	-	.4650	
	to-3dB corner			0	-	.4996			.4982	
10Hz 到 20kHz 的频率响应				-0.01	-	+0.08	-0.05	-	+0.2	dB
通频带波动				-	-	±0.08	-	-	±0.2	dB
抑制衰减带				.5465	-	-	.5770	-	-	Fs
衰减幅度				50	-	-	55	-	-	dB
延迟			tgd	-	9/Fs	-	-	4/Fs	-	s
通频带延迟误差	0 to 40 kHz			-	±0.36Fs	-	-	±1.39/Fs	-	s
	0 to 20 kHz									
预减误差		Fs=32 kHz		-	-	+1.5/+0				dB

# ET4334

	Fs=44.1kHz		-	-	+0.05/-0.25	
	Fs=48kHz		-	-	-2/-4	

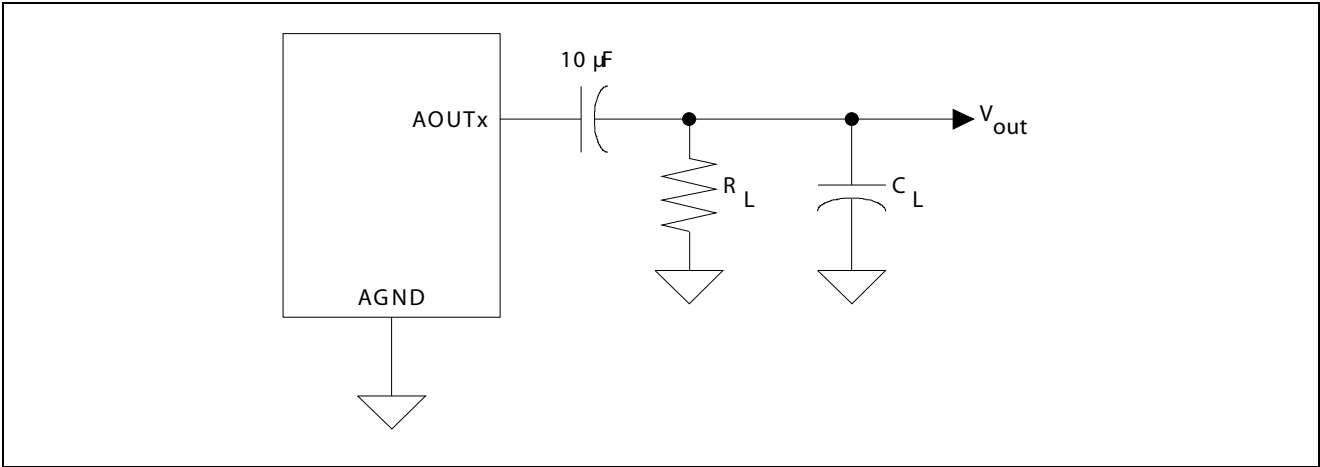
参数	符号	Min.	Typ.	Max.	单位
<b>DC</b>					
通道间增益匹配误差		-	0.1	0.4	dB
增益误差		-	±5	-	%
增益漂移		-	100	-	ppm/°C
<b>模拟输出</b>					
满幅度输出电压		3.25	3.5	3.75	Vpp
直流电平	V <sub>Q</sub>	-	2.2	-	VDC
最大 AC 负载电阻	R <sub>L</sub>	-	3	-	kΩ
最大负载电容	C <sub>L</sub>	-	100	-	pF

### 功耗和热量特性

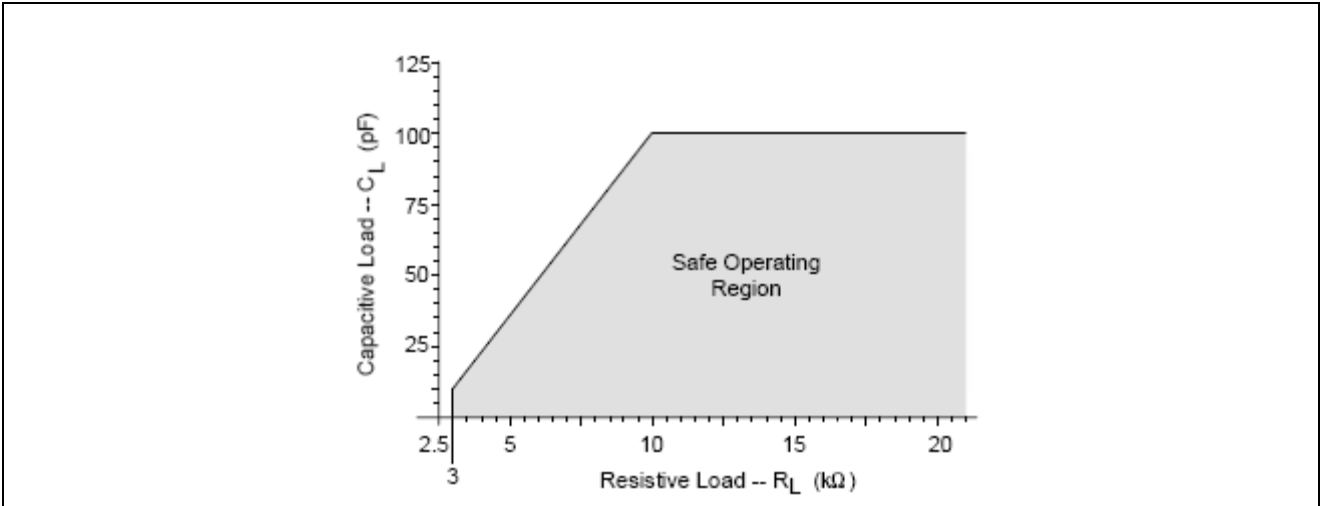
参数	符号	Min.	Typ.	Max.	单位	
<b>功耗</b>						
电流	工作状态	I <sub>A</sub>	-	15	19	mA
	关闭状态	I <sub>A</sub>	-	40	-	μA
功耗	工作状态		-	75	104	mW
	关闭状态		-	0.2	-	mW
封装热阻抗	θ <sub>JA</sub>	-	110	-	°C/Watt	
电源抑制比	1kHz	PSRR	-	79	-	dB

# ET4334

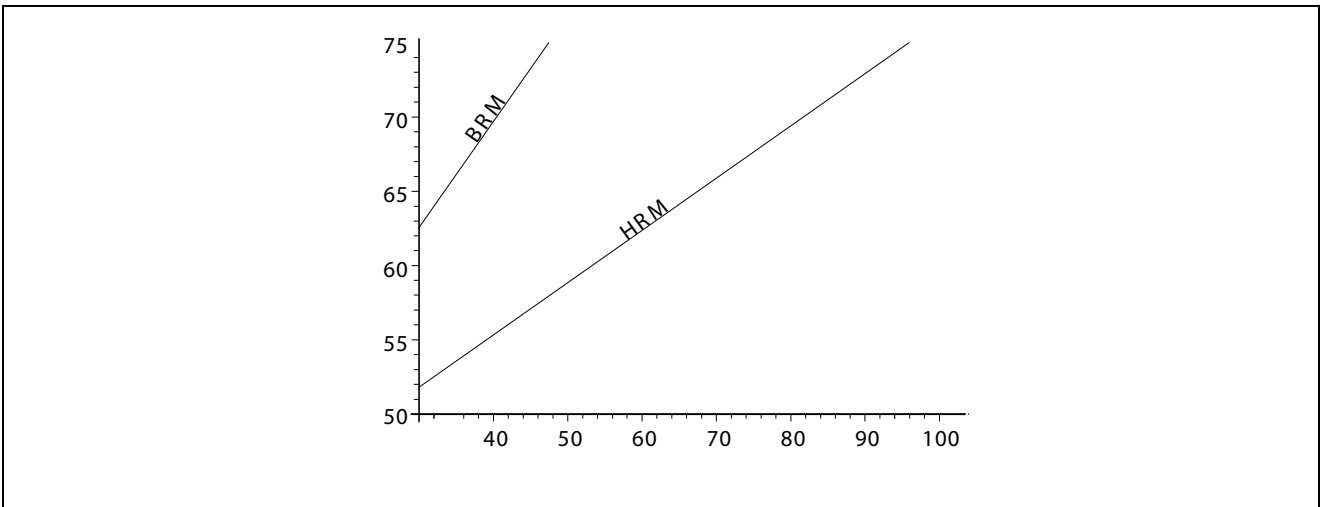
## Output Test Load



## Maximum Loading



## Power vs. Sample Rate



# ET4334

数字特性 (T<sub>A</sub>=25°C, V<sub>A</sub>=4.75~5.5V)

参数	符号	Min.	Typ.	Max.	单位
高电平输入电压	V <sub>IH</sub>	2.0	-	-	V
低电平输入电压	V <sub>IL</sub>	-	-	0.8	V
输入漏极电流	I <sub>in</sub>	-	-	±10	μA
输入电容		-	8	-	pF

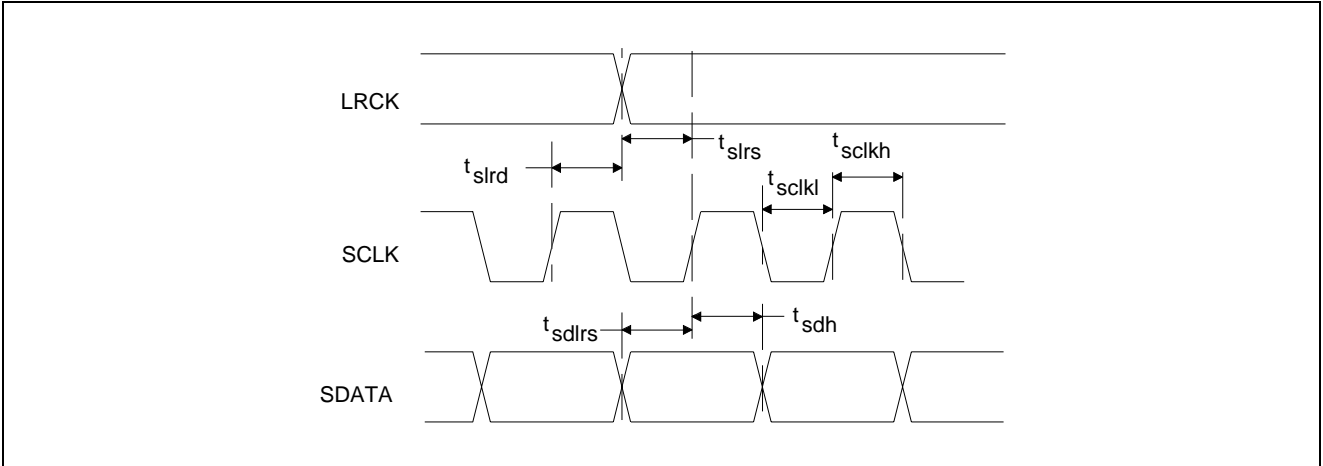
转换特性 (T<sub>A</sub> = -40°C ~ 85°C, V<sub>A</sub> = 4.75 ~ 5.5V; Input: Logic=0V, Logic1=V<sub>A</sub>, CL=20pF)

参数	符号	Min.	Typ.	Max.	单位
<b>输入采样率</b>	F <sub>s</sub>	2	-	100	kHz
MCLK 脉宽高	MCLK/LRCK=512	10	-	1000	ns
MCLK 脉宽低	MCLK/LRCK=512	10	-	1000	ns
MCLK 脉宽高	MCLK/LRCK=384/192	21	-	1000	ns
MCLK 脉宽低	MCLK/LRCK=384/192	21	-	1000	ns
MCLK 脉宽高	MCLK/LRCK=256/128	31	-	1000	ns
MCLK 脉宽低	MCLK/LRCK=256/128	31	-	1000	ns
<b>外部 SCLK 方式</b>					
LRCK 占空比 (外部 SCLK)		40	50	60	%
SCLK 脉宽低	t <sub>sckl</sub>	20	-	-	ns
SCLK 脉宽高	t <sub>sckh</sub>	20	-	-	ns
SCLK 周期	MCLK/LRCK=512,256/384 t <sub>sckw</sub>	$\frac{1}{(128)F_s}$	-	-	ns
SCLK 周期	MCLK/LRCK=128/192 t <sub>sckw</sub>	$\frac{1}{(64)F_s}$	-	-	ns
SCLK 上升到 LRCK 边缘延迟时间	t <sub>sldr</sub>	20	-	-	ns
SCLK 上升到 LRCK 边缘建立时间	t <sub>sldr</sub>	20	-	-	ns
SDATA 有效到 SCLK 上升建立时间	t <sub>sdls</sub>	20	-	-	ns
SCLK 上升到 SDATA 保持时间	t <sub>sdh</sub>	20	-	-	ns
<b>内部 SCLK 方式</b>					
LRCK 占空比 (内部 SCLK)		-	50	-	%
SCLK 周期	t <sub>sckw</sub>	$\frac{1}{SCLK}$	-	-	ns
SCLK 上升到 LRCK 边缘时间	t <sub>sckr</sub>	-	$\frac{t_{sckw}}{2}$	-	μs
SDATA 有效到 SCLK 上升建立时间	t <sub>sdls</sub>	$\frac{1}{(512)F_s} + 10$	-	-	ns
SCLK 上升到 SDATA 保持时间 MCLK/LRCK=512,256/128	t <sub>sdh</sub>	$\frac{1}{(512)F_s} + 15$	-	-	ns
SCLK 上升到 SDATA 保持时间 MCLK/LRCK=384/192	t <sub>sdh</sub>	$\frac{1}{(384)F_s} + 15$	-	-	ns

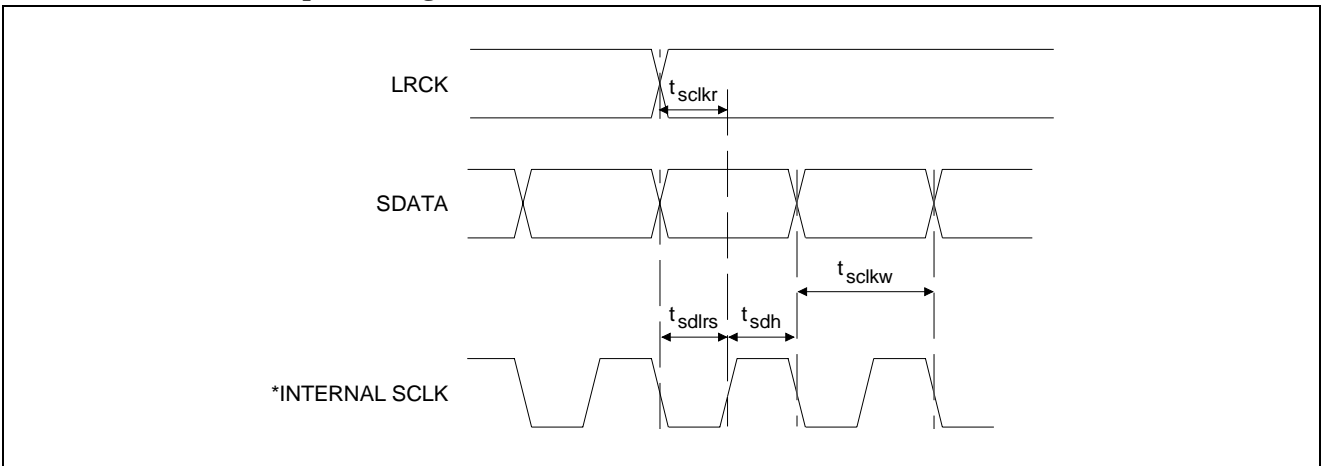
# ET4334

时序图

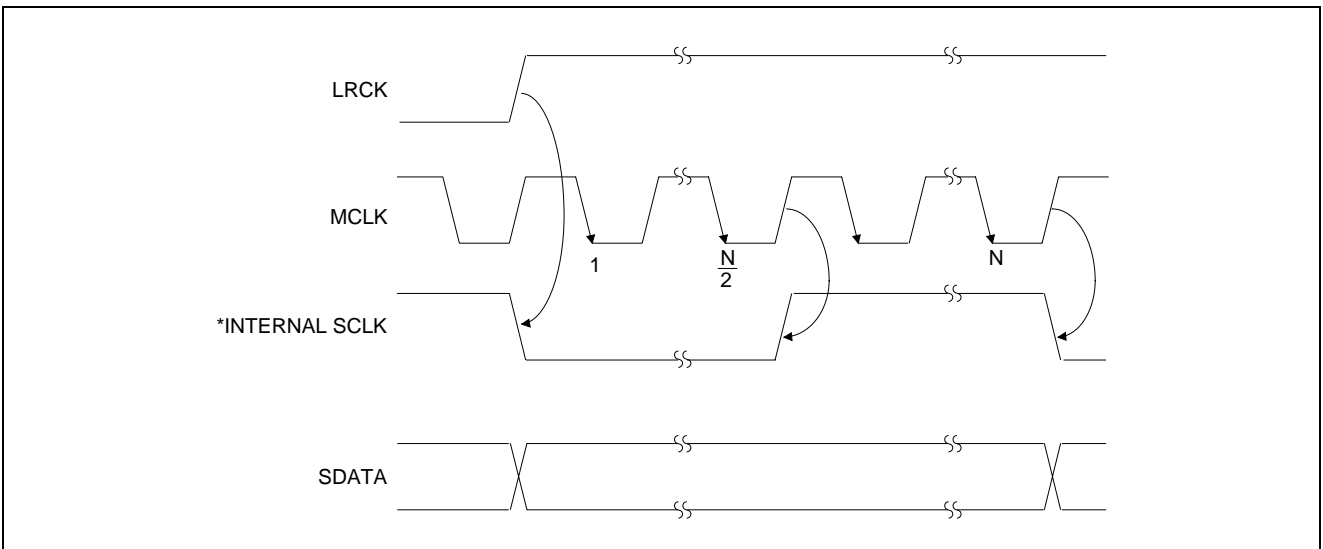
## External Serial Mode Input Timing



## Internal Serial Mode Input Timing



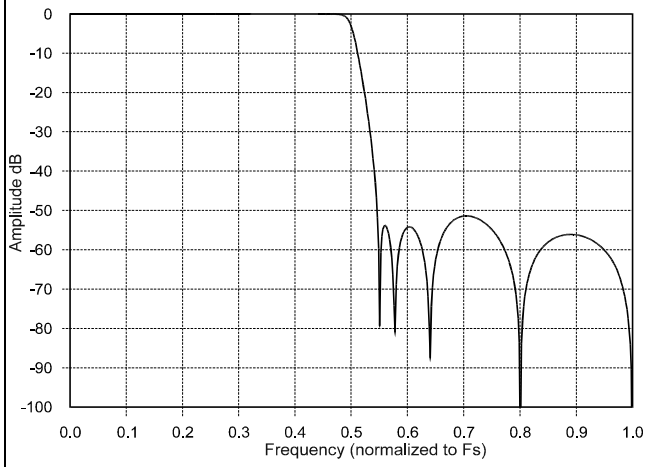
## Internal Serial Clock Generation



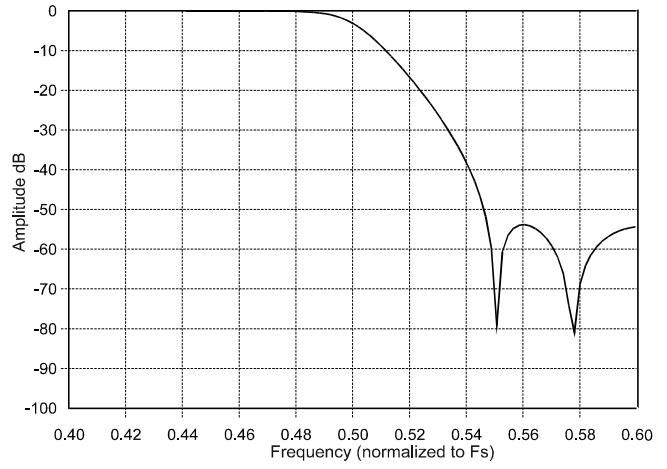


# ET4334

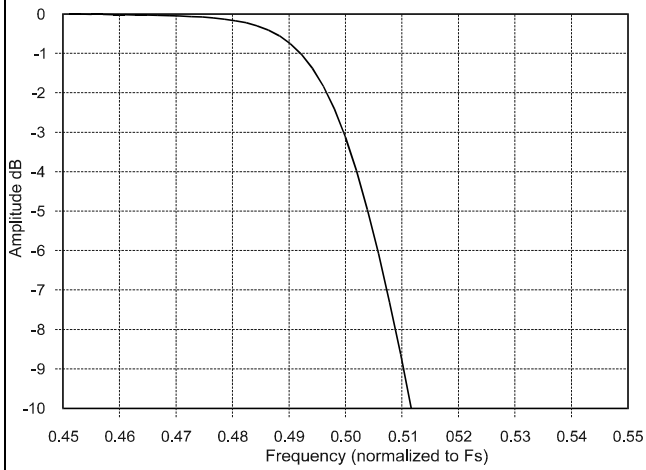
## Over Base-rate Frequency Response



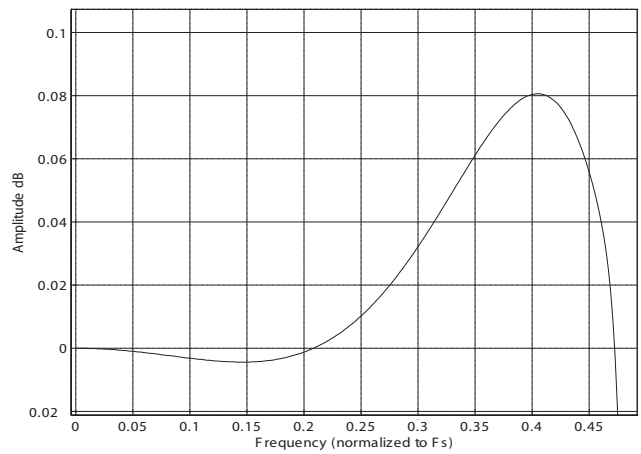
Stopband Rejection



Transition Band

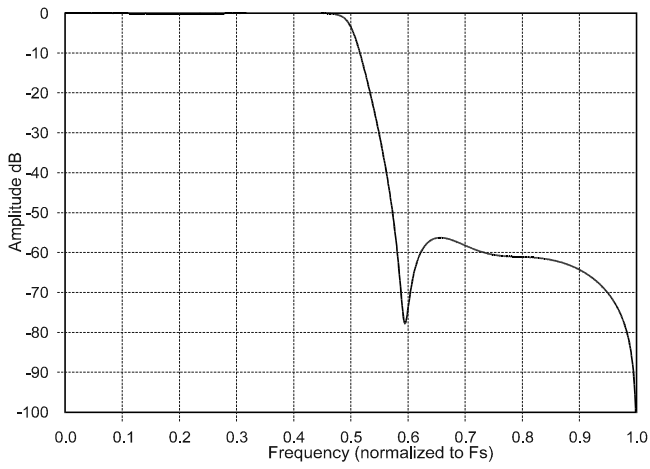


Transition Band

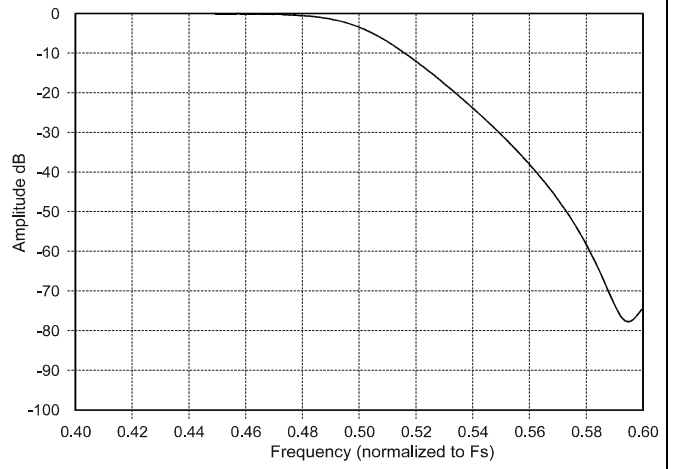


Passband Ripple

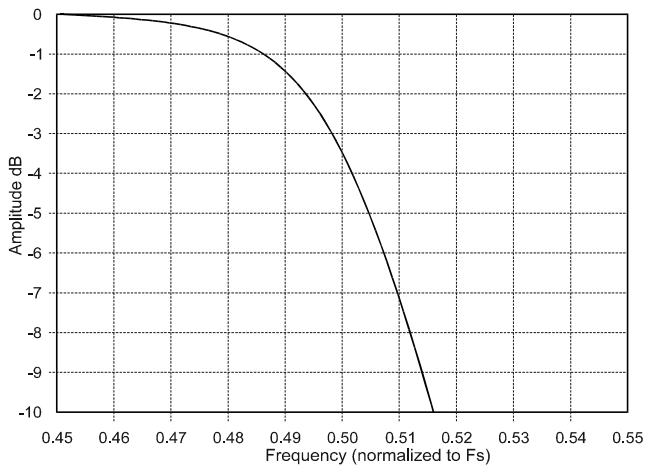
## Over High-rate Frequency Response



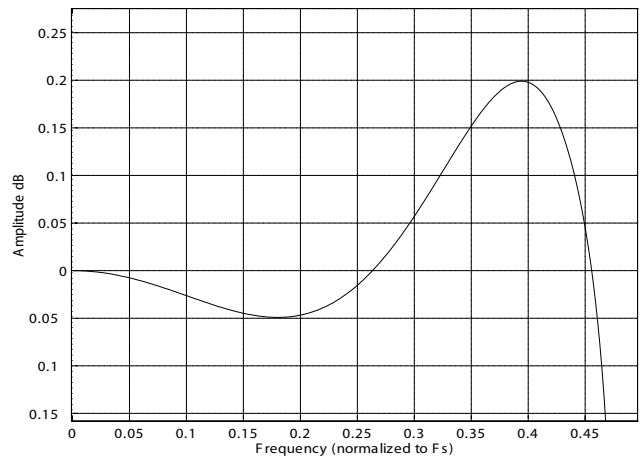
Stopband Rejection



Transition Band

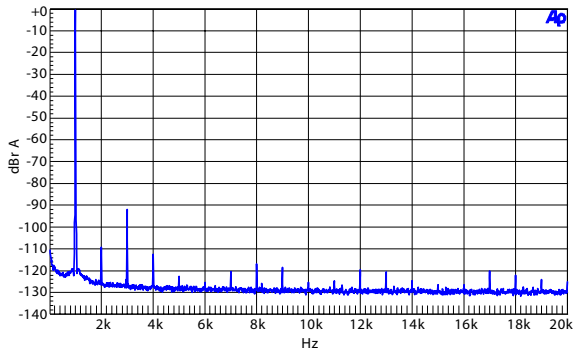


Transition Band

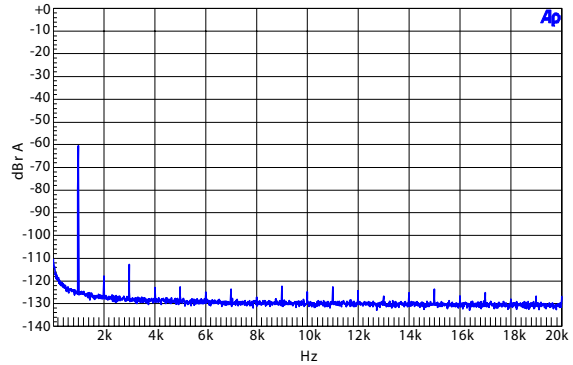


Passband Ripple

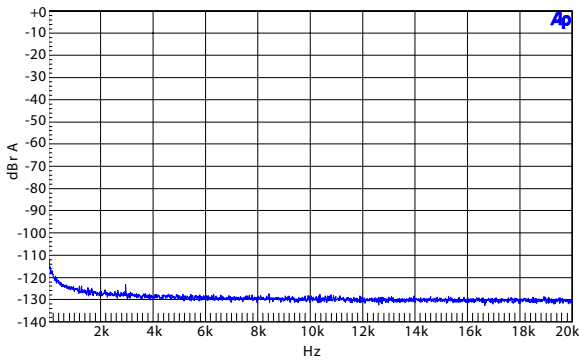
Base-rate Mode Performance Plots



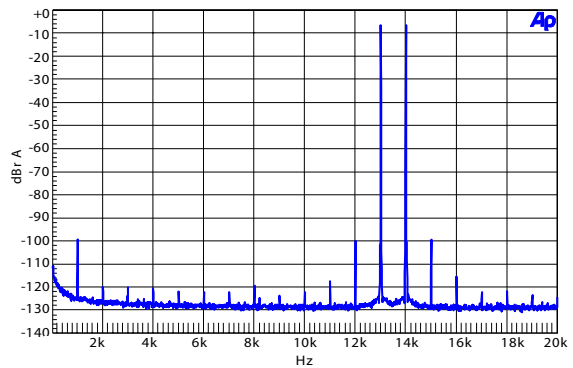
(16k FFT of a 1 kHz input signal)  
0 dBFS FFT (BRM)



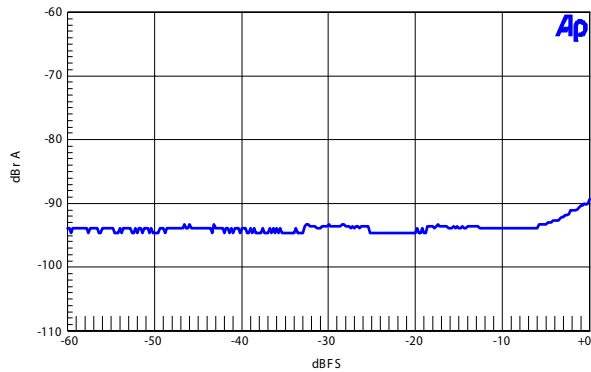
(16k FFT of a 1 kHz input signal)  
-60 dBFS FFT (BRM)



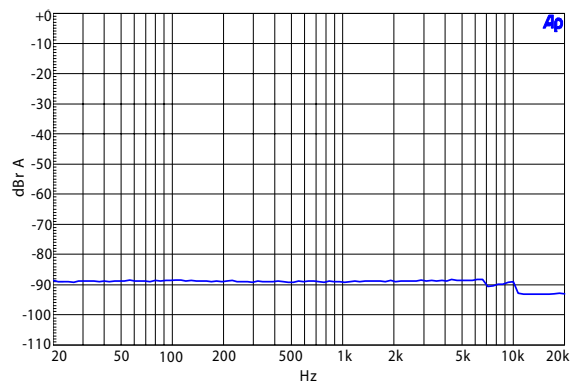
(16k FFT with no input signal)  
Idle Channel Noise FFT (BRM)



(16k FFT of intermodulation distortion using 13 kHz and 14 kHz input signals)  
Twin Tone IMD FFT (BRM)

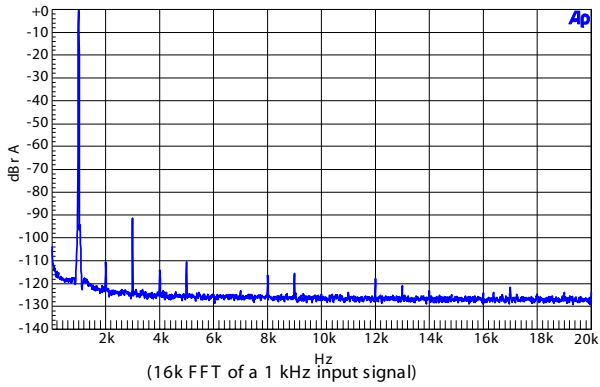


(THD+N plots measured using a 1kHz 24-bit dithered input signal)  
THD+N vs. Amplitude (BRM)

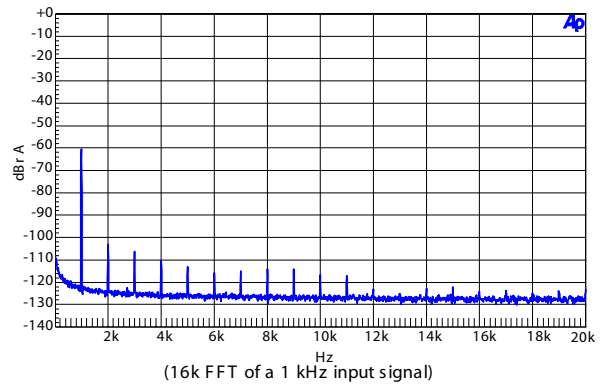


(THD+N plots measured using a 1kHz 24-bit dithered input signal)  
THD+N vs. Frequency (BRM)

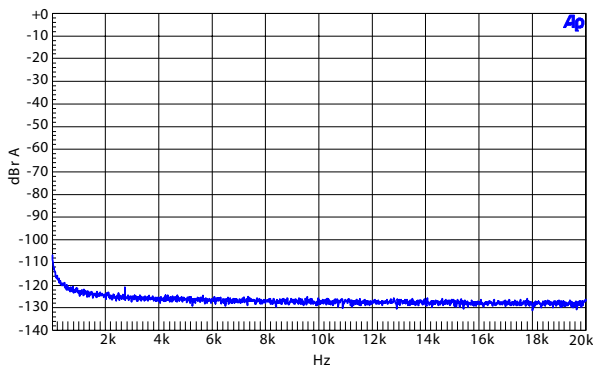
High-rate Mode Performance Plots



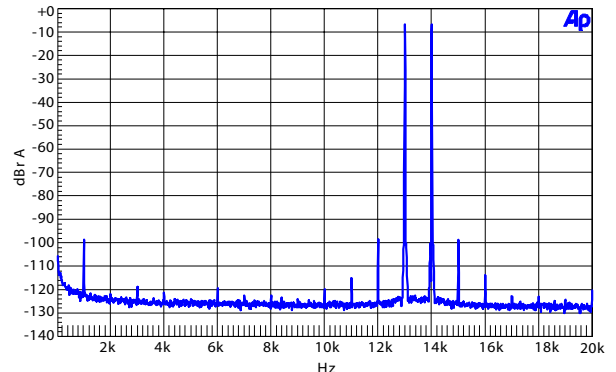
0 dBFS FFT (HRM)



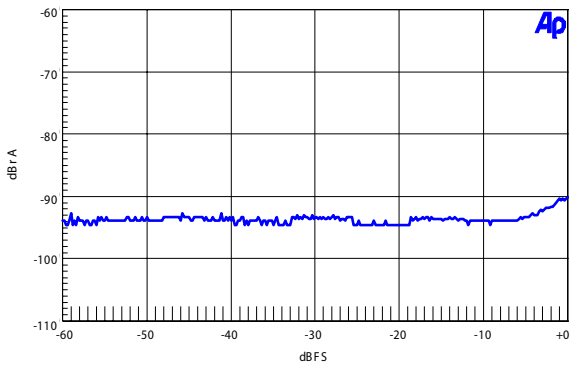
-60 dBFS FFT (HRM)



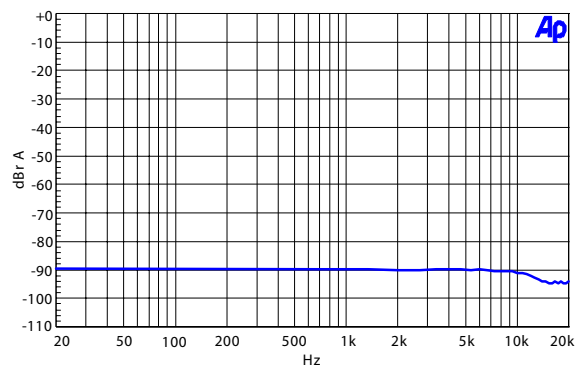
Idle Channel Noise FFT (HRM)



Twin Tone IMD FFT (HRM)



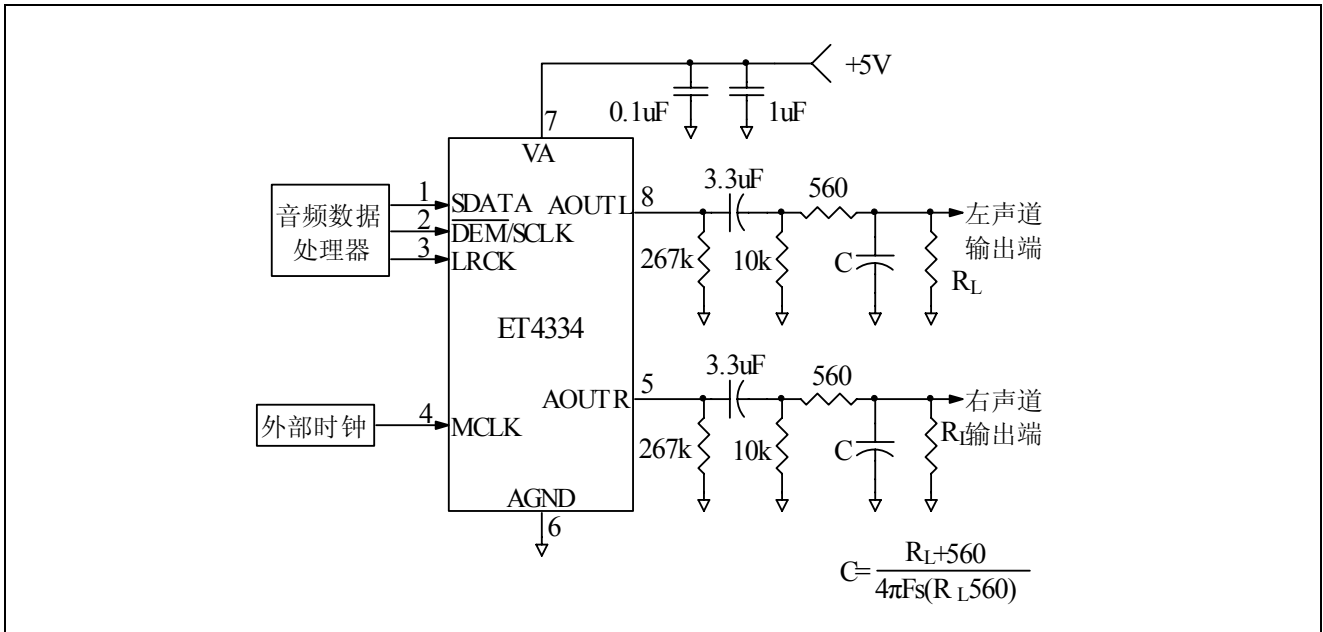
THD+N vs. Amplitude (HRM)



THD+N vs. Frequency (HRM)

# ET4334

## 参考应用线路图



\*: 此电路仅供参考。

## 封装尺寸图

SOP8

