

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

概述

优势和特性

MAX5723/MAX5724/MAX5725 8通道、低功耗、8/10/12位、电压输出数/模转换器(DAC)包括输出缓冲器和一个3ppm/°C内部基准(可选择为2.048V、2.500V或4.096V)。MAX5723/MAX5724/MAX5725可接受2.7V至5.5V宽电源电压范围，具有超低功耗(6mW)，适合绝大多数低压应用。准确的外部基准输入允许器件满摆幅工作，对外部基准表现为100kΩ(典型值)等效负载。

MAX5723/MAX5724/MAX5725具有快速50MHz、4线SPI/QSPI™/MICROWIRE®/DSP兼容的串行接口，工作在高达50MHz时钟速率。DAC输出带缓冲器，具有每通道小于250μA的低电源电流以及±0.5mV(典型值)的低失调误差。上电时，MAX5723/MAX5724/MAX5725根据M/¯Z的逻辑输入状态将DAC输出复位至零或中间值，为大多数控制系统提供灵活性。内部基准在初始上电时处于关断状态，允许采用外部基准。MAX5723/MAX5724/MAX5725可利用软件LOAD命令或硬件加载DAC逻辑输入(LDAC)同步更新输出。

MAX5723/MAX5724/MAX5725内置可编程看门狗功能，使能后用于监测I/O接口的动作及信号完整性操作。

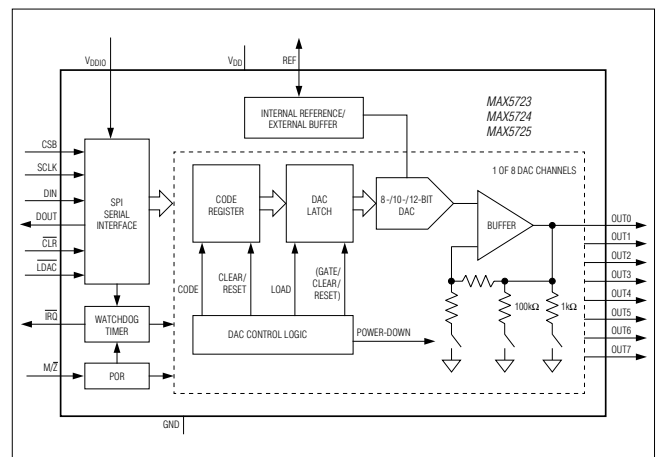
清零逻辑输入(CLR)允许异步清除CODE和DAC寄存器的内容，并同时可将DAC输出置于可编程的默认值。MAX5723/MAX5724/MAX5725采用20引脚TSSOP封装以及超小型、20焊球WLP封装，工作在-40°C至+125°C温度范围。

- ◆ 八通道高精度DAC
 - ◇ 12位精度，无需调整
 - ◇ ±1LSB INL，带缓冲电压输出
 - ◇ 整个工作条件下保证单调
 - ◇ 每路DAC具有独立设置模式
- ◆ 三种可选择的内部精密基准：
 - ◇ 2.048V、2.500V或4.096V
- ◆ 内部输出缓冲器
 - ◇ 采用外部基准支持满幅工作
 - ◇ 4.5μs建立时间
 - ◇ 输出可直接驱动2kΩ负载
- ◆ 6.5mm × 4.4mm 20引脚TSSOP封装或超小尺寸、2.5mm × 2.3mm 20焊球WLP封装
- ◆ 2.7V至5.5V较宽的供电范围
- ◆ 独立的1.8V至5.5V V_{DDIO}电源输入
- ◆ 快速的50MHz、4线、SPI/QSPI/MICROWIRE/DSP兼容串行接口
- ◆ 可编程内置看门狗定时器
- ◆ 引脚可选择上电复位，DAC输出为零刻度或中间刻度
- ◆ LDAC和CLR用于异步DAC控制
- ◆ 可选择三种关断输出阻抗
 - ◇ 1kΩ、100kΩ或高阻

应用

功能框图

可编程电压及电流源
增益与失调调节
自动调谐和光控制
功率放大器控制和偏置
过程控制与伺服环路
便携式仪表



QSPI is a trademark of Motorola, Inc.

MICROWIRE is a registered trademark of National Semiconductor Corporation.

相关型号以及配合该器件使用的推荐产品，请参见：china.maxim-ic.com/MAX5723.related。

订购信息在数据资料的最后给出。

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

ABSOLUTE MAXIMUM RATINGS

V_{DD} , V_{DDIO} to GND	-0.3V to +6V
OUT ₋ , REF to GND....	0.3V to the lower of ($V_{DD} + 0.3V$) and +6V
SCLK, CSB, \overline{IRQ} , M/Z, LDAC, CLR to GND.....	-0.3V to +6V
DIN, DOUT to GND	-0.3V to the lower of ($V_{DDIO} + 0.3V$) and +6V
Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)	
TSSOP (derate at 13.6mW/°C above 70°C).....	1084mW
WLP (derate at 21.3mW/°C above 70°C).....	1700mW

Maximum Continuous Current into Any Pin	$\pm 50\text{mA}$
Operating Temperature.....	-40°C to $+125^\circ\text{C}$
Storage Temperature	-65°C to $+150^\circ\text{C}$
Lead Temperature (TSSOP only)(soldering, 10s).....	$+300^\circ\text{C}$
Soldering Temperature (reflow)	$+260^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

PACKAGE THERMAL CHARACTERISTICS (Note 1)

TSSOP	Junction-to-Ambient Thermal Resistance (θ_{JA})	73.8°C/W	WLP	Junction-to-Ambient Thermal Resistance (θ_{JA})	
	Junction-to-Case Thermal Resistance (θ_{JC})	20°C/W		(Note 2)	47°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to china.maxim-ic.com/thermal-tutorial.

Note 2: Visit china.maxim-ic.com/app-notes/index.mvp/id/1891 for information about the thermal performance of WLP packaging.

ELECTRICAL CHARACTERISTICS

($V_{DD} = 2.7\text{V}$ to 5.5V , $V_{DDIO} = 1.8\text{V}$ to 5.5V , $V_{GND} = 0\text{V}$, $C_L = 200\text{pF}$, $R_L = 2\text{k}\Omega$, $T_A = -40^\circ\text{C}$ to $+125^\circ\text{C}$, unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC PERFORMANCE (Note 4)						
Resolution and Monotonicity	N	MAX5723	8			Bits
		MAX5724	10			
		MAX5725	12			
Integral Nonlinearity (Note 5)	INL	MAX5723	-0.25	± 0.05	+0.25	LSB
		MAX5724	-0.5	± 0.2	+0.5	
		MAX5725	-1	± 0.5	+1	
Differential Nonlinearity (Note 5)	DNL	MAX5723	-0.25	± 0.05	+0.25	LSB
		MAX5724	-0.5	± 0.1	+0.5	
		MAX5725	-1	± 0.2	+1	
Offset Error (Note 6)	OE		-5	± 0.5	+5	mV
Offset Error Drift				± 10		$\mu\text{V}/^\circ\text{C}$
Gain Error (Note 6)	GE		-1.0	± 0.1	+1.0	%FS
Gain Temperature Coefficient		With respect to V_{REF}		± 3.0		ppm of FS/ $^\circ\text{C}$

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_L = 200pF$, $R_L = 2k\Omega$, $T_A = -40^\circ C$ to $+125^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Zero-Scale Error				0		+10	mV
Full-Scale Error		With respect to V_{REF}		-0.5		+0.5	%FS
DAC OUTPUT CHARACTERISTICS							
Output Voltage Range (Note 7)		No load		0		V_{DD}	V
		2k Ω load to GND		0		$V_{DD} - 0.2$	
		2k Ω load to V_{DD}		0.2		V_{DD}	
Load Regulation		$V_{OUT} = V_{FS}/2$	$V_{DD} = 3V \pm 10\%$, $ I_{OUT} \leq 5mA$		300		$\mu V/mA$
			$V_{DD} = 5V \pm 10\%$, $ I_{OUT} \leq 10mA$		300		
DC Output Impedance		$V_{OUT} = V_{FS}/2$	$V_{DD} = 3V \pm 10\%$, $ I_{OUT} \leq 5mA$		0.3		Ω
			$V_{DD} = 5V \pm 10\%$, $ I_{OUT} \leq 10mA$		0.3		
Maximum Capacitive Load Handling	C_L				500		pF
Resistive Load Handling	R_L			2			k Ω
Short-Circuit Output Current		$V_{DD} = 5.5V$	Sourcing (output shorted to GND)		30		mA
			Sinking (output shorted to V_{DD})		50		
DC Power-Supply Rejection		$V_{DD} = 3V \pm 10\%$ or $5V \pm 10\%$			100		$\mu V/V$
DYNAMIC PERFORMANCE							
Voltage-Output Slew Rate	SR	Positive and negative			1.0		V/ μs
Voltage-Output Settling Time		$1/4$ scale to $3/4$ scale, to ≤ 1 LSB, MAX5723			2.2		μs
		$1/4$ scale to $3/4$ scale, to ≤ 1 LSB, MAX5724			2.6		
		$1/4$ scale to $3/4$ scale, to ≤ 1 LSB, MAX5725			4.5		
DAC Glitch Impulse		Major code transition (code x7FF to x800)			2		nV*s
Channel-to-Channel Feedthrough (Note 8)		Internal reference			3.3		nV*s
		External reference			4.07		
Digital Feedthrough		Midscale code, all digital inputs from 0V to V_{DDIO}			0.2		nV*s
Power-Up Time		Startup calibration time (Note 9)			200		μs
		From power-down			50		μs

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_L = 200pF$, $R_L = 2k\Omega$, $T_A = -40^\circ C$ to $+125^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Output Voltage-Noise Density (DAC Output at Midscale)		External reference	f = 1kHz		90		nV/ \sqrt{Hz}
			f = 10kHz		82		
		2.048V internal reference	f = 1kHz		112		
			f = 10kHz		102		
		2.5V internal reference	f = 1kHz		125		
			f = 10kHz		110		
		4.096V internal reference	f = 1kHz		160		
			f = 10kHz		145		
Integrated Output Noise (DAC Output at Midscale)		External reference	f = 0.1Hz to 10Hz		12		μV_{P-P}
			f = 0.1Hz to 10kHz		76		
			f = 0.1Hz to 300kHz		385		
		2.048V internal reference	f = 0.1Hz to 10Hz		14		
			f = 0.1Hz to 10kHz		91		
			f = 0.1Hz to 300kHz		450		
		2.5V internal reference	f = 0.1Hz to 10Hz		15		
			f = 0.1Hz to 10kHz		99		
			f = 0.1Hz to 300kHz		470		
		4.096V internal reference	f = 0.1Hz to 10Hz		16		
			f = 0.1Hz to 10kHz		124		
			f = 0.1Hz to 300kHz		490		
Output Voltage-Noise Density (DAC Output at Full Scale)		External reference	f = 1kHz		114		nV/ \sqrt{Hz}
			f = 10kHz		99		
		2.048V internal reference	f = 1kHz		175		
			f = 10kHz		153		
		2.5V internal reference	f = 1kHz		200		
			f = 10kHz		174		
		4.096V internal reference	f = 1kHz		295		
			f = 10kHz		255		
Integrated Output Noise (DAC Output at Full Scale)		External reference	f = 0.1Hz to 10Hz		13		μV_{P-P}
			f = 0.1Hz to 10kHz		94		
			f = 0.1Hz to 300kHz		540		
		2.048V internal reference	f = 0.1Hz to 10Hz		19		
			f = 0.1Hz to 10kHz		143		
			f = 0.1Hz to 300kHz		685		
		2.5V internal reference	f = 0.1Hz to 10Hz		21		
			f = 0.1Hz to 10kHz		159		
			f = 0.1Hz to 300kHz		705		
		4.096V internal reference	f = 0.1Hz to 10Hz		26		
			f = 0.1Hz to 10kHz		213		
			f = 0.1Hz to 300kHz		750		

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_L = 200pF$, $R_L = 2k\Omega$, $T_A = -40^\circ C$ to $+125^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
REFERENCE INPUT							
Reference Input Range	V_{REF}		1.24		V_{DD}	V	
Reference Input Current	I_{REF}	$V_{REF} = V_{DD} = 5.5V$		55	74	μA	
Reference Input Impedance	R_{REF}		75	100		$k\Omega$	
REFERENCE OUTPUT							
Reference Output Voltage	V_{REF}	$V_{REF} = 2.048V$, $T_A = +25^\circ C$	2.043	2.048	2.053	V	
		$V_{REF} = 2.5V$, $T_A = +25^\circ C$	2.494	2.5	2.506		
		$V_{REF} = 4.096V$, $T_A = +25^\circ C$	4.086	4.096	4.106		
Reference Temperature Coefficient (Note 10)		MAX5725A		± 3	± 10	ppm/ $^\circ C$	
		MAX5723/MAX5724/MAX5725B		± 10	± 25		
Reference Drive Capacity		External load		25		$k\Omega$	
Reference Capacitive Load Handling				200		pF	
Reference Load Regulation		$I_{SOURCE} = 0$ to $500\mu A$		2		mV/mA	
Reference Line Regulation				0.05		mV/V	
POWER REQUIREMENTS							
Supply Voltage	V_{DD}	$V_{REF} = 4.096V$	4.5		5.5	V	
		All other options	2.7		5.5		
I/O Supply Voltage	V_{DDIO}		1.8		5.5	V	
Supply Current (Note 11)	I_{DD}	Internal reference	$V_{REF} = 2.048V$		1.6	2	mA
			$V_{REF} = 2.5V$		1.7	2.1	
			$V_{REF} = 4.096V$		2.0	2.5	
		External reference	$V_{REF} = 3V$		1.6	2.0	
			$V_{REF} = 5V$		1.9	2.5	
Power-Down Mode Supply Current	I_{PD}	All DACs off, internal reference ON		140		μA	
		All DACs off, internal reference OFF, $T_A = -40^\circ C$ to $+85^\circ C$		0.7	2		
		All DACs off, internal reference OFF, $T_A = +125^\circ C$		2	4		
Digital Supply Current	I_{DDIO}	Static logic inputs, all outputs unloaded			1	μA	
DIGITAL INPUT CHARACTERISTICS (SCLK, DIN, CSB, LDAC, CLR, M/Z)							
Input Leakage Current	I_{IN}	$V_{IN} = 0V$ or V_{DDIO} , all inputs except M/\bar{Z} (Note 11)		± 0.1	± 1	μA	
		$V_{IN} = 0V$ or V_{DD} , for M/\bar{Z} (Note 11)					

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_L = 200pF$, $R_L = 2k\Omega$, $T_A = -40^\circ C$ to $+125^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Input High Voltage	V_{IH}	(All inputs except M/\bar{Z})	$2.2V < V_{DDIO} < 5.5V$	$0.7 \times V_{DDIO}$			V
			$1.8V < V_{DDIO} < 2.2V$	$0.8 \times V_{DDIO}$			V
		$2.7V < V_{DD} < 5.5V$ (for M/\bar{Z})		$0.7 \times V_{DD}$			
Input Low Voltage	V_{IL}	(All inputs except M/\bar{Z})	$2.2V < V_{DDIO} < 5.5V$			$0.3 \times V_{DDIO}$	V
			$1.8V < V_{DDIO} < 2.2V$			$0.2 \times V_{DDIO}$	V
		$2.7V < V_{DD} < 5.5V$ (for M/\bar{Z})				$0.3 \times V_{DD}$	
Input Capacitance (Note 10)	C_{IN}					10	pF
Hysteresis Voltage	V_H				0.15		V
DIGITAL OUTPUT (IRQ)							
Output Low Voltage	V_{OL}	$I_{SINK} = 3mA$				0.2	V
Output Inactive Leakage	I_{OFF}				± 0.1	± 1	μA
Output Inactive Capacitance (Note 10)	C_{OFF}					10	pF
DIGITAL OUTPUT (DOUT)							
Output High Voltage	V_{OH}	$V_{DDIO} > 2.5V$, $I_{SOURCE} = 3mA$		$V_{DDIO} - 0.2$			V
		$V_{DDIO} > 1.8V$, $I_{SOURCE} = 2mA$		$V_{DDIO} - 0.2$			
Output Low Voltage	V_{OL}	$V_{DDIO} > 2.5V$, $I_{SINK} = 3mA$				0.2	V
		$V_{DDIO} > 1.8V$, $I_{SINK} = 2mA$				0.2	
Output Short-Circuit Current	I_{OSS}	I_{SINK} , I_{SOURCE}			± 100		mA
Output Three-State Leakage	I_{OZ}				± 0.1	± 1	μA
Output Three-State Capacitance	C_{OZ}					10	pF
WATCHDOG TIMER CHARACTERISTICS							
Watchdog Timer Period	t_{WDOSC}	$V_{DD} = 3V$, $T_A = +25^\circ C$		0.95	1	1.05	ms
Watchdog Timer Period Supply Drift		$V_{DD} = 2.7V$ to $5.5V$, $T_A = +25^\circ C$			0.6		%/V
Watchdog Timer Period Temperature Drift		$V_{DD} = 3V$			0.0375		%/°C

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_L = 200pF$, $R_L = 2k\Omega$, $T_A = -40^\circ C$ to $+125^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
SPI TIMING CHARACTERISTICS							
SCLK Frequency	f_{SCLK}	$2.7V < V_{DDIO} < 5.5V$	Write mode	0		50	MHz
			Read mode, strobing on 1 SCLK	0		25	
			Read mode, strobing on $\frac{1}{2}$ SCLK	0		12.5	
		$1.8V < V_{DDIO} < 2.7V$	Write mode	0		33	
			Read mode, strobing on 1 SCLK	0		20	
			Read mode, strobing on $\frac{1}{2}$ SCLK	0		10	
SCLK Period	t_{SCLK}	$2.7V < V_{DDIO} < 5.5V$, write mode		20			ns
		$1.8V < V_{DDIO} < 2.7V$, write mode		30			
SCLK Pulse Width High	t_{CH}			8			ns
SCLK Pulse Width Low	t_{CL}			8			ns
CSB Fall to SCLK Fall Setup Time	t_{CSS0}	To first SCLK falling edge	$2.7V < V_{DDIO} < 5.5V$	8			ns
			$1.8V < V_{DDIO} < 2.7V$	12			
CSB Fall to SCLK Fall Hold Time	t_{CSH0}	Applies to inactive SCLK falling edge preceding the first SCLK falling edge		0			ns
CSB Rise to SCLK Fall Hold Time	t_{CSH1}	Applies to the 24th SCLK falling edge		0			ns
CSB Rise to SCLK Fall	t_{CSA}	Applies to the 24th SCLK falling edge, aborted sequence		12			ns
SCLK Fall to CSB Fall	t_{CSF}	Applies to 24th SCLK falling edge		100			ns
CSB Pulse Width High	t_{CSPW}			20			ns
DIN to SCLK Fall Setup Time	t_{DS}			5			ns
DIN to SCLK Fall Hold Time	t_{DH}			4.5			ns
\overline{CLR} Pulse Width Low	t_{CLPW}			20			ns
\overline{CLR} Rise to CSB Fall	t_{CSC}	Required for command to be executed		20			ns
\overline{LDAC} Pulse Width Low	t_{LDPW}			20			ns
\overline{LDAC} Fall to SCLK Fall Hold	t_{LDH}	Applies to 24th SCLK falling edge		20			ns
SCLK Fall to DOUT Transition	t_{DOT}	DPHA = 0, $C_{LOAD} = 20pF$	$2.7V < V_{DDIO} < 5.5V$			35	ns
			$1.8V < V_{DDIO} < 2.7V$			40	
SCLK Rise to DOUT Transition	t_{DOT}	DPHA = 1, $C_{LOAD} = 20pF$	$2.7V < V_{DDIO} < 5.5V$			35	ns
			$1.8V < V_{DDIO} < 2.7V$			40	

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.5V$, $V_{DDIO} = 1.8V$ to $5.5V$, $V_{GND} = 0V$, $C_{LOAD} = 200pF$, $R_L = 2k\Omega$, $T_A = -40^\circ C$ to $+125^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Fall to DOUT Hold	t_{DOH}	$DPHA = 0$, $C_{LOAD} = 0pF$	2			ns
SCLK Rise to DOUT Hold	t_{DOH}	$DPHA = 1$, $C_{LOAD} = 0pF$	2			ns
CSB Fall to DOUT Fall	t_{DOE}	Enable time, $C_{LOAD} = 20pF$			20	ns
CSB Rise to DOUT Hi-Z	t_{DOZ}	Disable time			20	ns
			$2.7V < V_{DDIO} < 5.5V$		40	

Note 3: Limits are 100% production tested at $T_A = +25^\circ C$ and/or $T_A = +125^\circ C$. Limits over the operating temperature range and relevant supply voltage range are guaranteed by design and characterization. Typical values are at $T_A = +25^\circ C$ and are not guaranteed.

Note 4: DC performance is tested without load, $V_{REF} = V_{DD}$.

Note 5: Linearity is tested with unloaded outputs to within 20mV of GND and V_{DD} .

Note 6: Gain and offset calculated from measurements made with $V_{REF} = V_{DD}$ at codes 30 and 4065 for MAX5725, codes 8 and 1016 for MAX5724, and codes 2 and 254 for MAX5723.

Note 7: Subject to zero- and full-scale error limits and V_{REF} settings.

Note 8: Measured with all other DAC outputs at midscale with one channel transitioning 0 to full scale.

Note 9: On power-up, the device initiates an internal 200 μs (typ) calibration sequence. All commands issued during this time will be ignored.

Note 10: Guaranteed by design.

Note 11: All channels active at V_{FS} , unloaded. Static logic inputs with $V_{IL} = V_{GND}$ and $V_{IH} = V_{DDIO}$ for all inputs.

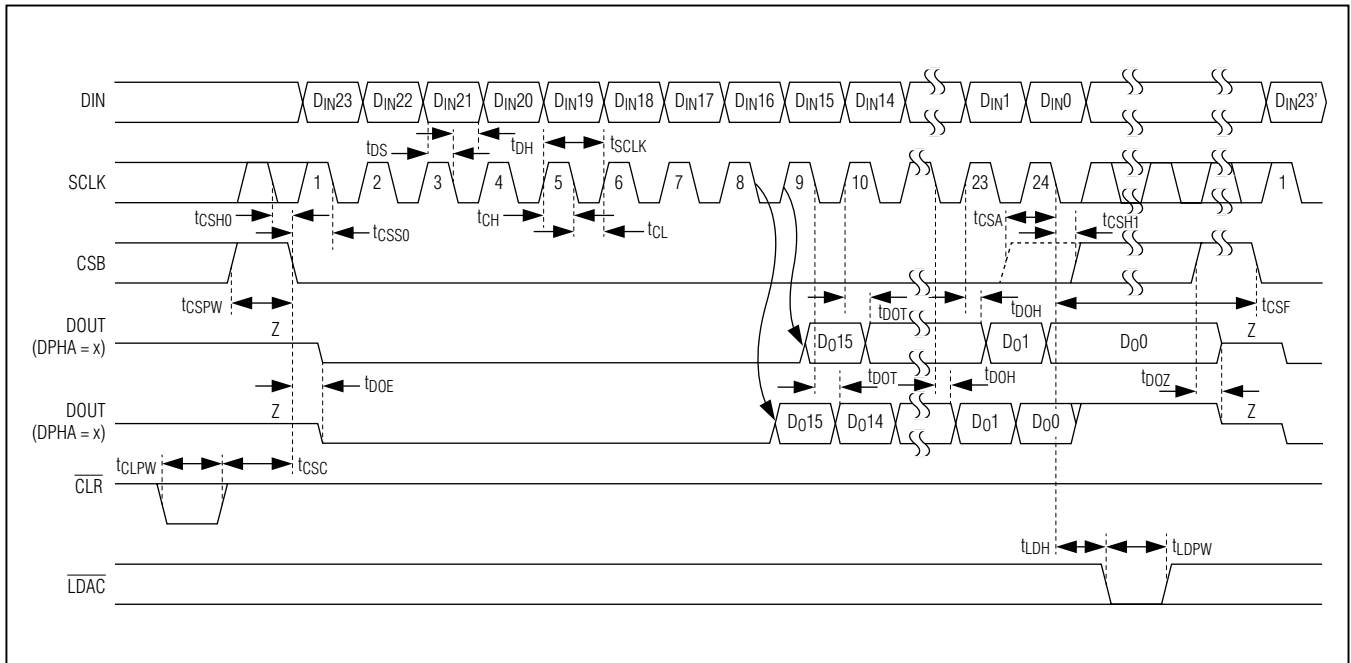


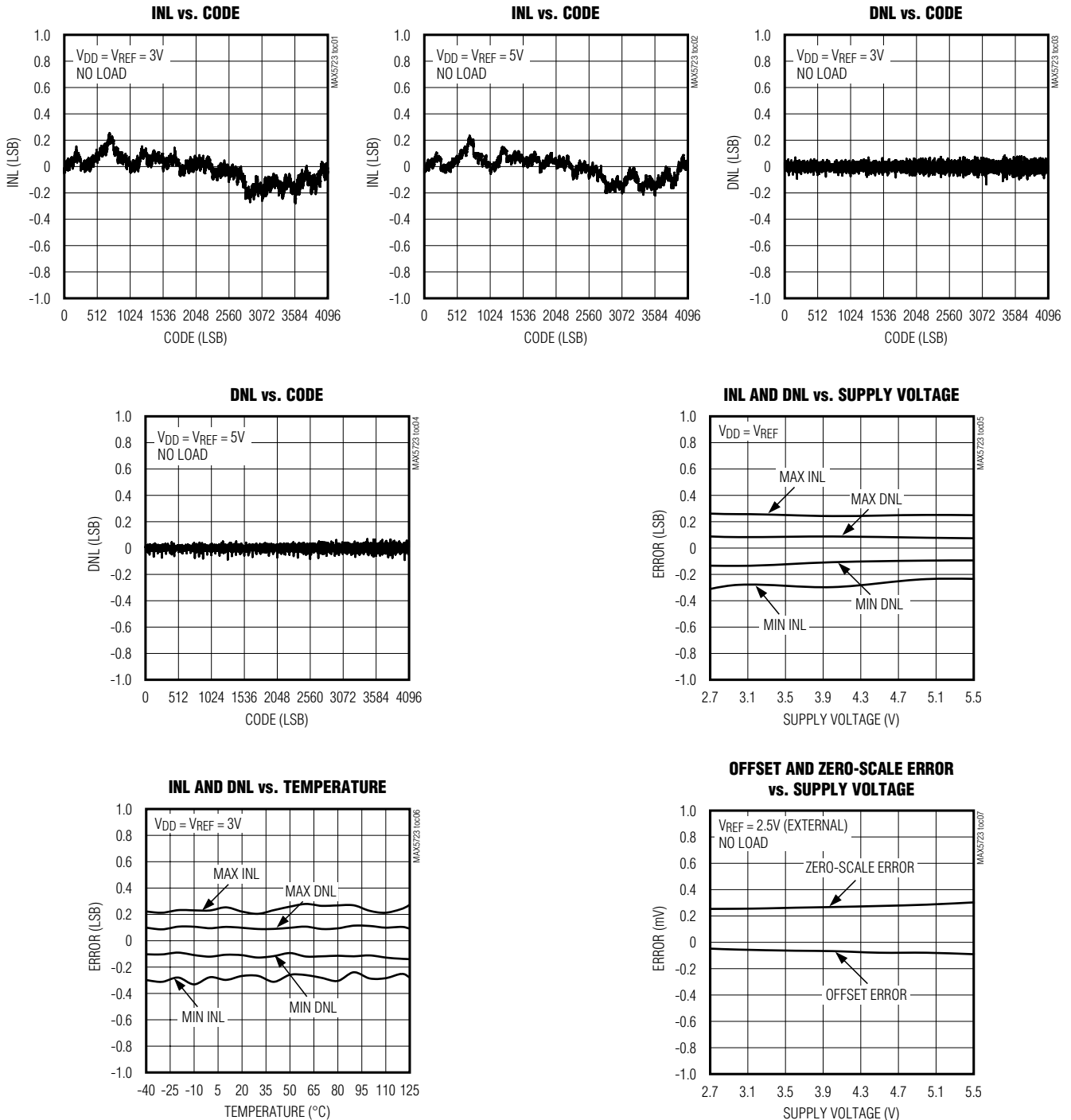
图1. SPI串行接口时序图

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

典型工作特性

(MAX5725, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

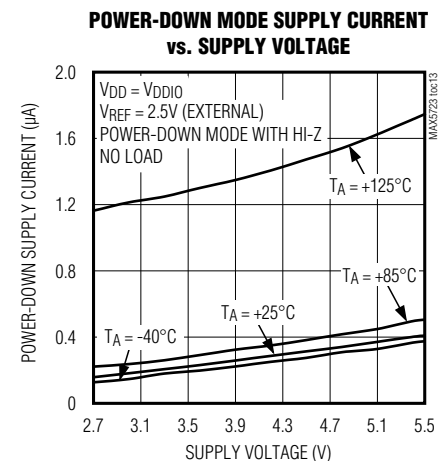
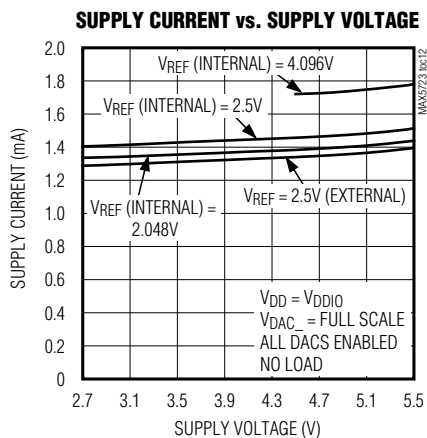
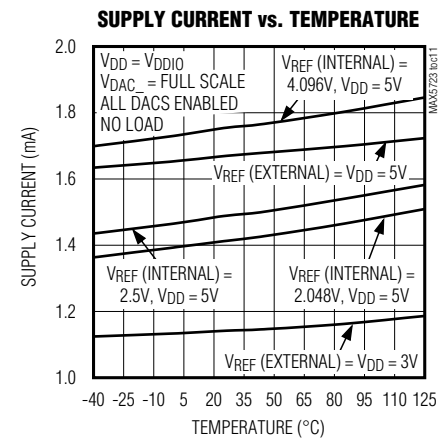
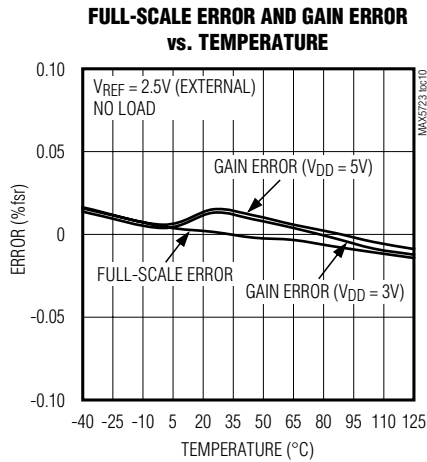
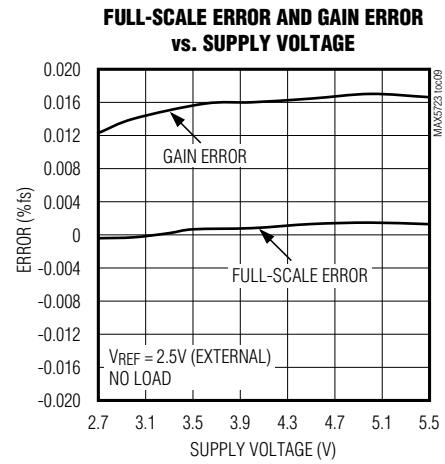
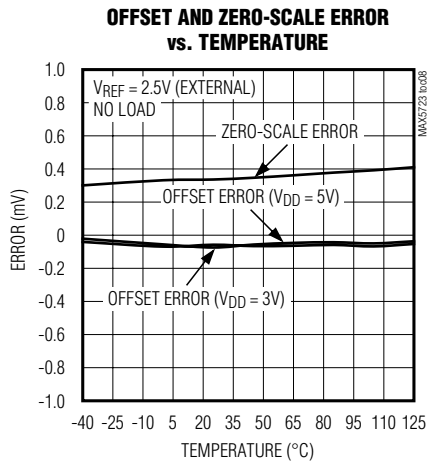


MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

典型工作特性(续)

(MAX5725, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

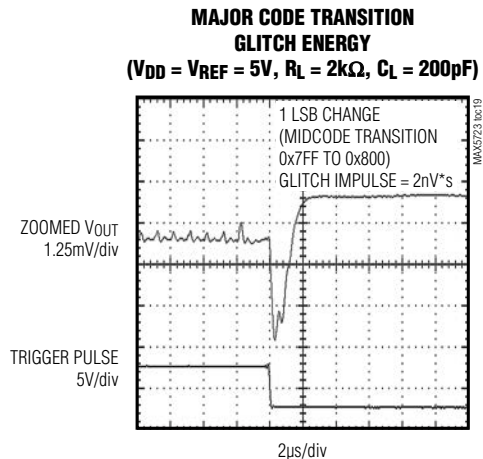
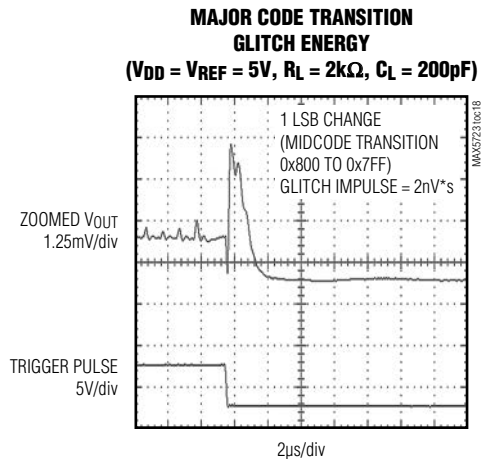
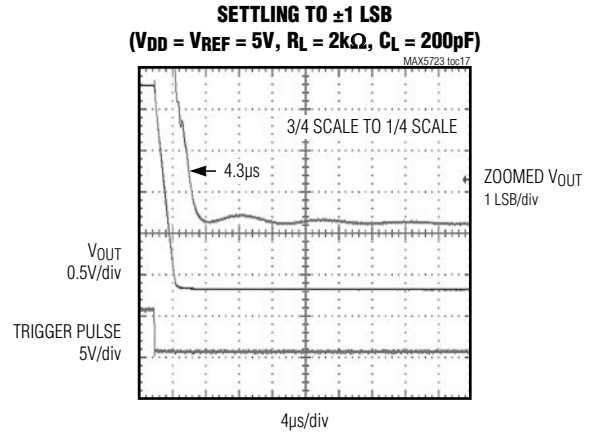
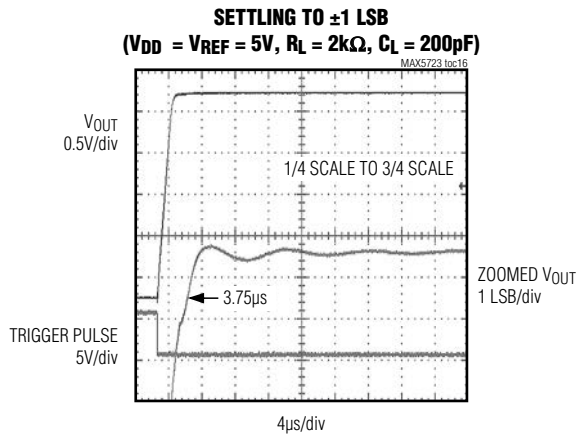
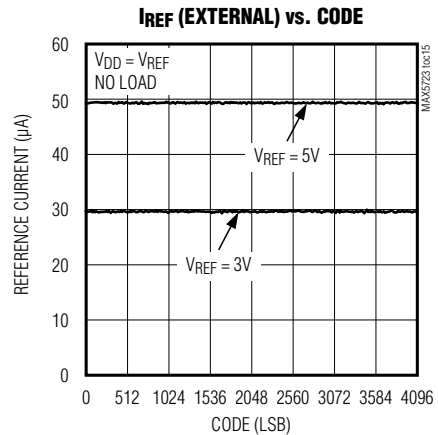
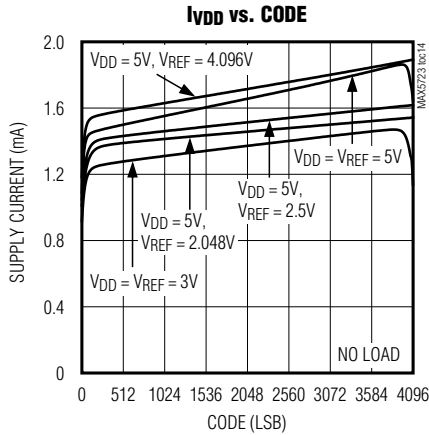


MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

典型工作特性(续)

(MAX5725, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

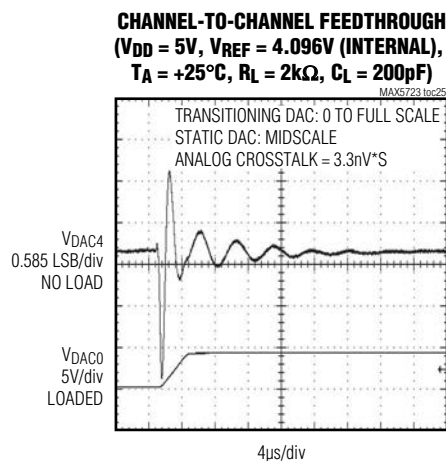
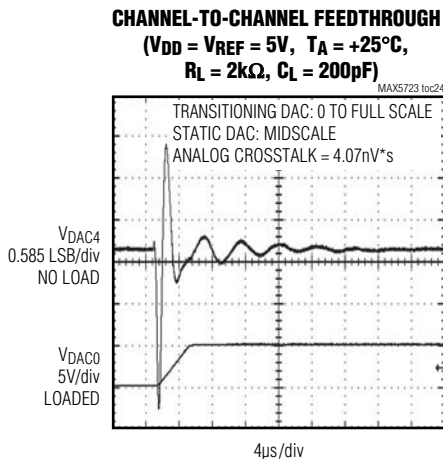
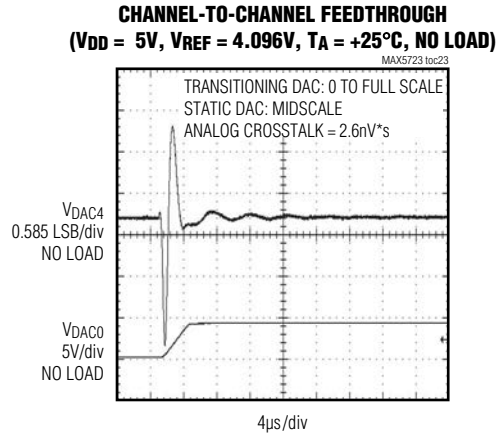
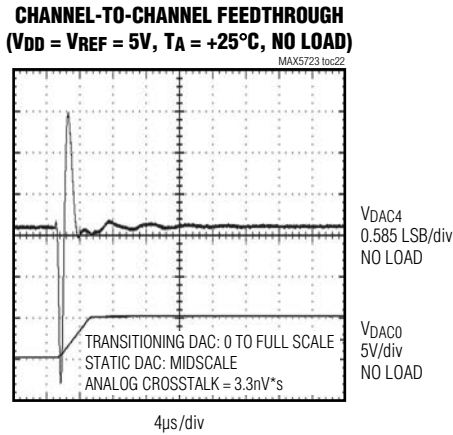
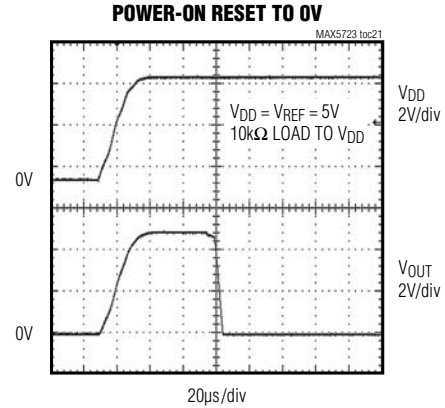
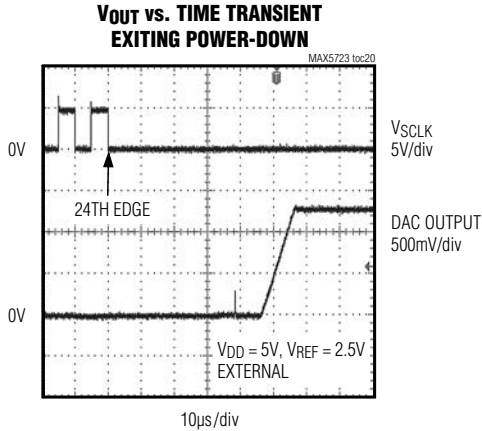


MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

典型工作特性(续)

(MAX5725, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

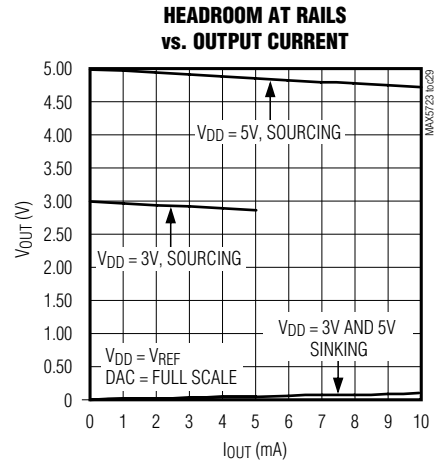
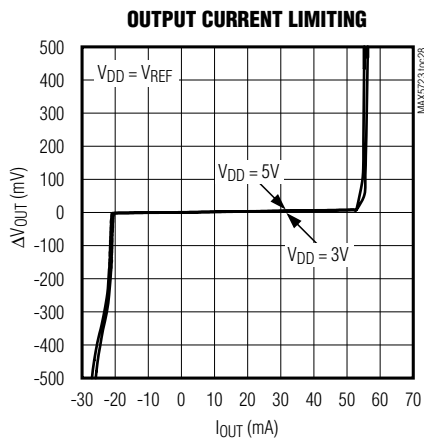
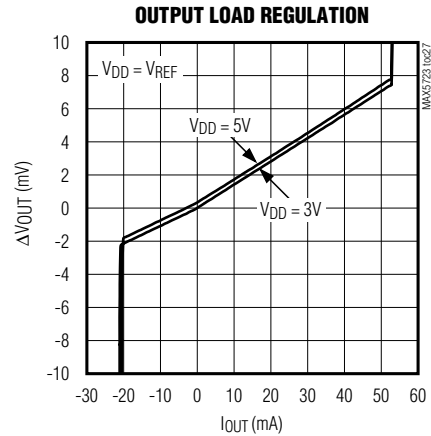
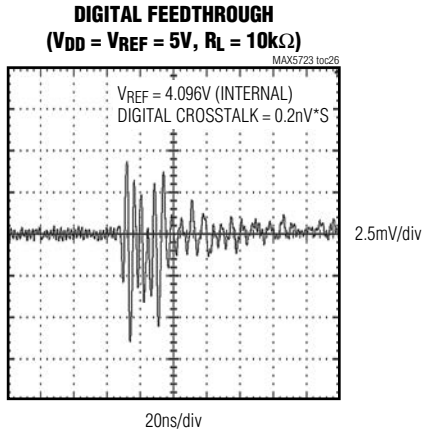


MAX5723/MAX5724/MAX5725

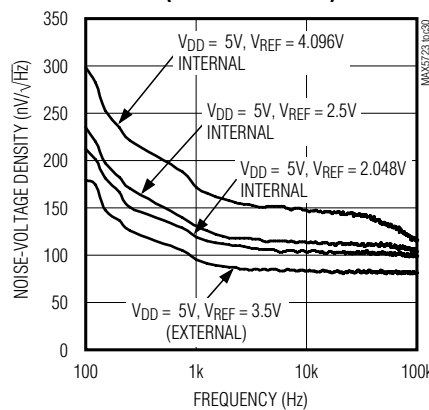
四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

典型工作特性(续)

(MAX5725, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)



**NOISE-VOLTAGE DENSITY vs. FREQUENCY
(DAC AT MIDSCALE)**



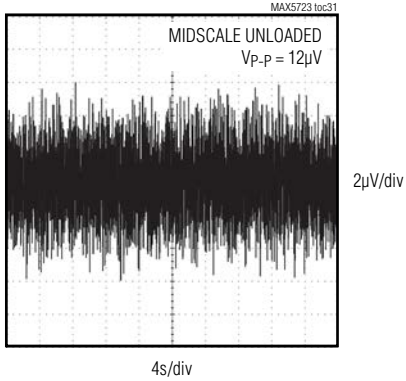
MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

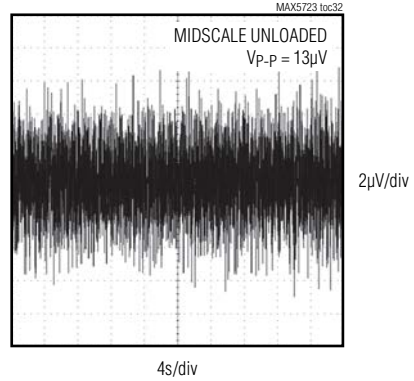
典型工作特性(续)

(MAX5725, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

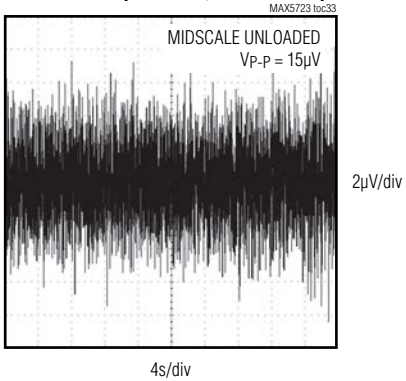
**0.1Hz TO 10Hz OUTPUT NOISE, EXTERNAL
REFERENCE ($V_{DD} = 5\text{V}$, $V_{REF} = 4.5\text{V}$)**



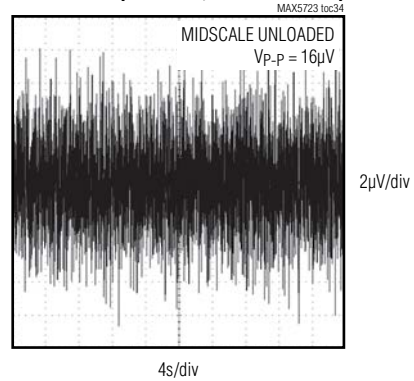
**0.1Hz TO 10Hz OUTPUT NOISE, INTERNAL
REFERENCE ($V_{DD} = 5\text{V}$, $V_{REF} = 2.048\text{V}$)**



**0.1Hz TO 10Hz OUTPUT NOISE, INTERNAL
REFERENCE ($V_{DD} = 5\text{V}$, $V_{REF} = 2.5\text{V}$)**



**0.1Hz TO 10Hz OUTPUT NOISE, INTERNAL
REFERENCE ($V_{DD} = 5\text{V}$, $V_{REF} = 4.096\text{V}$)**

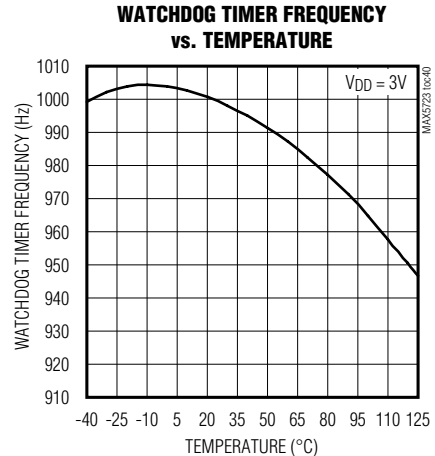
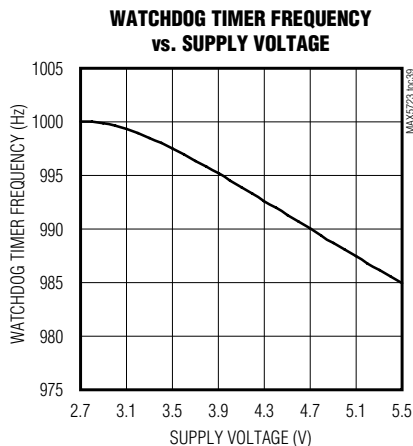
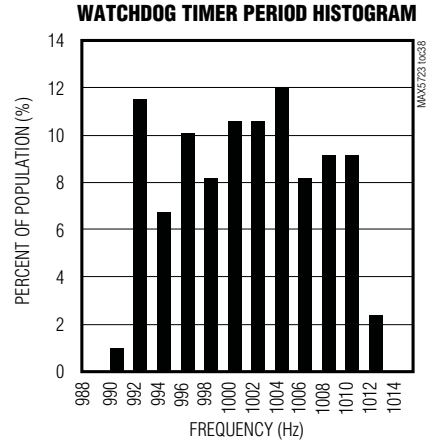
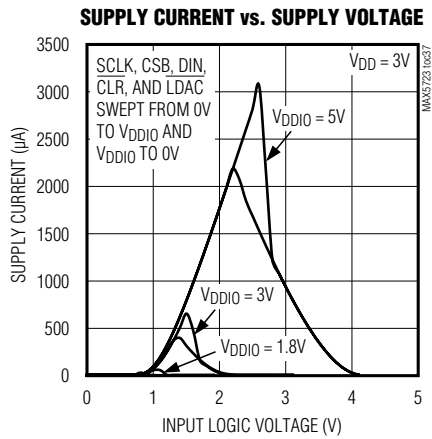
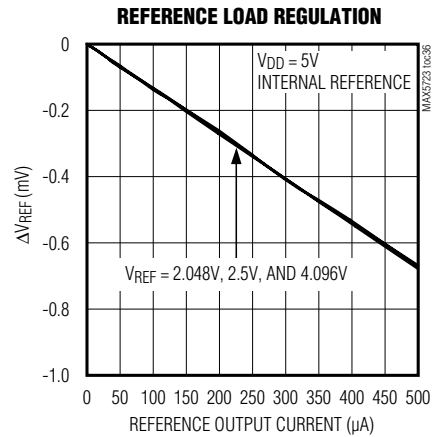
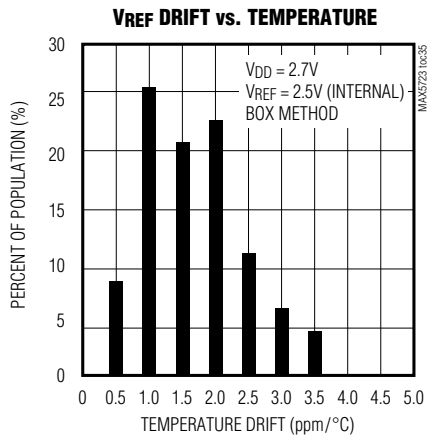


MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

典型工作特性(续)

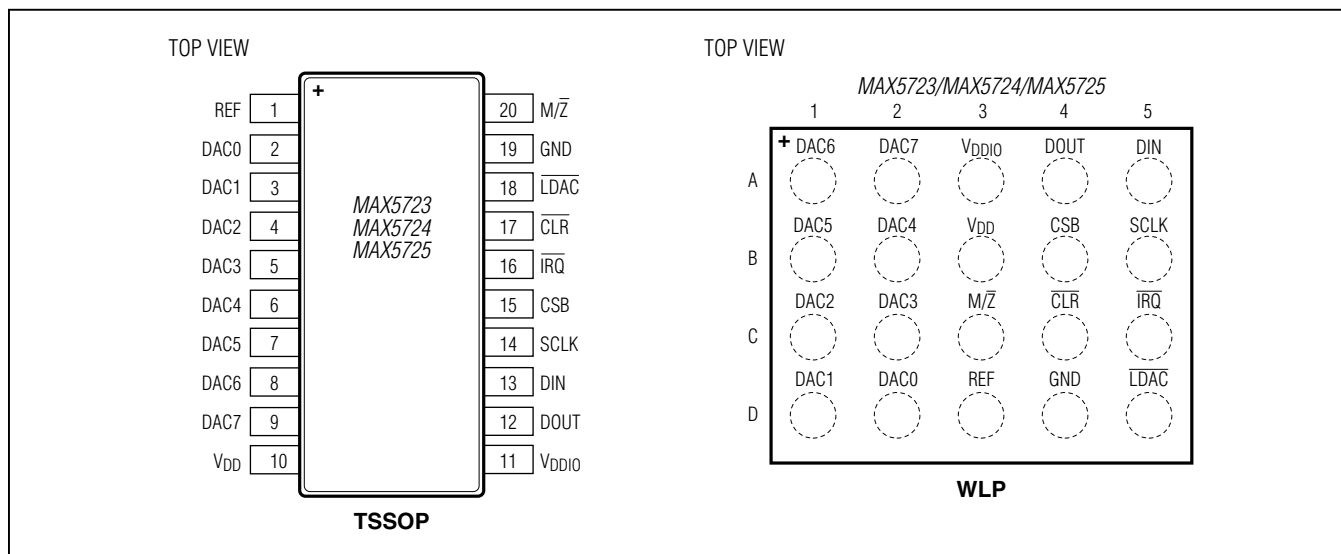
(MAX5725, 12-bit performance, $T_A = +25^\circ\text{C}$, unless otherwise noted.)



MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

引脚配置



引脚说明

引脚		名称	功能
TSSOP	WLP		
1	D3	REF	基准电压输入/输出。
2	D2	DAC0	DAC通道0电压输出。
3	D1	DAC1	DAC通道1电压输出。
4	C1	DAC2	DAC通道2电压输出。
5	C2	DAC3	DAC通道3电压输出。
6	B2	DAC4	DAC通道4电压输出。
7	B1	DAC5	DAC通道5电压输出。
8	A1	DAC6	DAC通道6电压输出。
9	A2	DAC7	DAC通道7电压输出。
10	B3	V _{DD}	模拟电源电压。
11	A3	V _{DDIO}	数字电源电压。
12	A4	DOUT	SPI串行数据输出。
13	A5	DIN	SPI串行数据输入。
14	B5	SCLK	SPI串行时钟输入。
15	B4	CSB	SPI片选输入。
16	C5	IRQ	低电平有效开漏中断输出，IRQ为低电平表示看门狗超时。
17	C4	CLR	低电平有效异步DAC清零输入。
18	D5	LDAC	低电平有效异步DAC装载输入。
19	D4	GND	地。
20	C3	M/Z	DAC输出复位选择。将M/Z接GND时，复位输出为零；将M/Z接V _{DD} 时，复位输出为中间刻度。

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

详细说明

MAX5723/MAX5724/MAX5725为8通道、低功耗、8/10/12位缓冲电压输出DAC。2.7V至5.5V较宽的供电范围以及低功耗特性，能够支持大多数低功耗、低电压应用。器件对外部基准呈现100kΩ负载。内部输出缓冲器支持满摆幅工作。提供内部电压基准，通过软件选择2.048V、2.500V或4.096V基准电压。器件具有4线SPI/QSPI/MICROWIRE/DSP兼容串行接口，有效节省电路板空间，并降低隔离应用接口的复杂度。MAX5723/MAX5724/MAX5725包括串入/并出移位寄存器、内部CODE和DAC寄存器、将DAC输出初始化为零(M/Z = 0)或中间刻度(M/Z = 1)的上电复位(POR)电路，以及控制逻辑电路。

提供 $\overline{\text{CLR}}$ 控制，使DAC输出异步复位至用户可编程的默认值，独立于串口； $\overline{\text{LDAC}}$ 控制用于同时刷新单片或多片器件选定的DAC。MAX5723/MAX5724/MAX5725也具有用户可配置的接口看门狗，其状态由IRQ输出指示。

DAC输出(OUT_n)

MAX5723/MAX5724/MAX5725的所有DAC输出具有内部缓冲器，改善DAC输出的负载调节能力。输出缓冲器摆率为1V/μs(典型值)，可驱动2kΩ(最小)电阻与500pF(最大)电容并联负载。由于模拟电源(V_{DD})为输出缓冲器供电，它决定了器件的最大输出电压范围。空载条件下，输出缓冲器从GND驱动至V_{DD}，容易发生失调和增益误差。对GND的负载为2kΩ时，输出缓冲器从GND驱动至V_{DD}的200mV范围之内。对V_{DD}的负载为2kΩ时，输出缓冲器驱动至GND和V_{DD}的200mV范围之内。

DAC的理想输出电压定义为：

$$V_{\text{OUT}} = V_{\text{REF}} \times \frac{D}{2^N}$$

式中，D = 装载至DAC寄存器的编码，V_{REF} = 基准电压，N = 分辨率。

内部寄存器结构

用户接口与DAC逻辑相互独立，以将数字馈通降至最小。串行接口内为输入移位寄存器，其内容可送至控制寄存器，可单独或多个DAC一起，由用户命令决定。

每个DAC通道都有CODE寄存器，然后是DAC锁存寄存器(见[详细功能框图](#))。CODE寄存器的内容保存即将发生的DAC输出设置，随后可装载至DAC寄存器。CODE寄存器可利用CODE和CODE_LOAD用户命令更新。

DAC寄存器的内容保存当前DAC输出设置。DAC寄存器可直接从串行接口使用CODE_LOAD命令更新，或者利用LOAD命令或LDAC逻辑输入，装载CODE寄存器的当前内容。

关断状态期间，保存CODE和DAC寄存器的内容，所以DAC在上电时恢复其之前储存的输出设置。关断状态期间发出的任何CODE或LOAD命令继续更新寄存器内容。

器件上电后，可利用RETURN命令，将每个DAC通道独立设置为相应的RETURN值。这成为CODE和DAC寄存器在发生任何看门狗、清零或选通动作后使用的值，由DEFAULT命令选择。

硬件 $\overline{\text{CLR}}$ 操作和SW_CLEAR命令将全部CODE和DAC寄存器的内容恢复为其用户选择的默认值。SW_RESET命令将CODE和DAC寄存器的内容复位至M/Z所选的初始编码。可使用SW_GATE语句将所选的DAC输出暂时保存在其DEFAULT位置。CODE和DAC寄存器的内容可由看门狗定时器控制，实现各种安全特性。

内部基准

MAX5723/MAX5724/MAX5725集成内部高精度电压基准，利用软件可选择2.048V、2.500V或4.096V。选择内部基准时，REF输出为其它外部电路提供电压(见[典型工作电路](#))，可驱动低至25kΩ的负载。

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

外部基准

外部基准输入的典型输入阻抗为100K Ω ，支持从+1.24V至V_{DD}的输入电压。在REF和GND之间施加外部电压，以使用外部基准。MAX5723/MAX5724/MAX5725上电和复位至外部基准模式。关于可用外部电压基准器件的列表，请访问china.maxim-ic.com/products/references。

M/Z输入

MAX5723/MAX5724/MAX5725具有引脚可选DAC复位状态，使用M/Z输入。上电复位后，全部CODE和DAC数据寄存器复位至零刻度(M/Z = GND)或中间刻度(M/Z = V_{DD})。M/Z以V_{DD} (非V_{DDIO})为基准。此外，器件上电时，M/Z必须可用——将M/Z直接连接至V_{DD}或GND。

装载DAC (\overline{LDAC})输入

MAX5723/MAX5724/MAX5725具有低电平有效的异步 \overline{LDAC} 逻辑输入，允许DAC输出同时更新。仅通过串行接口控制器件时，正常工作期间，将 \overline{LDAC} 连接至V_{DDIO}或保持 \overline{LDAC} 为高电平。将 \overline{LDAC} 驱动为低电平时，用CODE寄存器中的数据更新DAC输出。保持 \overline{LDAC} 为低电平时，使DAC寄存器变为透明，立即将CODE数据传递至DAC寄存器，更新DAC输出。可利用软件CONFIG命令独立配置每个DAC的 \overline{LDAC} 工作。

清零(\overline{CLR})输入

MAX5723/MAX5724/MAX5725具有异步、低电平有效 \overline{CLR} 逻辑输入，可同时全部所选DAC输出设置为其可编程DEFAULT状态。将 \overline{CLR} 驱动为低电平时，清零CODE和DAC寄存器的内容，并且也忽略任何更改与对应DAC相关的寄存器的I²C命令。为了允许新I²C命令，将 \overline{CLR} 驱动为高电平，满足t_{CSC}定时要求。可利用软件CONFIG命令独立配置每个DAC的清零工作。

看门狗特性

MAX5723/MAX5724/MAX5725集成接口看门狗定时器，可设置超时周期，用于监测I/O接口的工作状况和完整性。如果使能看门狗，主机处理器必须在超时周期内向器件写入有效命令，以防超时。如果允许看门狗超时，所选DAC输出恢复至可编程DEFAULT状态，防止系统发生控制故障。

默认设置下，禁用全部看门狗特性；如果用户希望激活任何看门狗特性，必须相应地配置器件。利用CONFIG命令，可将每个DAC通道配置为接受看门狗报警，并选通、清零或保持其输出，以响应报警。利用WDOG_CONFIG命令，可按照可编程安全等级定义超时后的看门狗刷新事件和看门狗行为。

\overline{TRQ} 输出

MAX5723/MAX5724/MAX5725具有低电平有效开漏中断输出，看门狗发生超时，通知主控制器。

接口电源(V_{DDIO})

MAX5723/MAX5724/MAX5725具有用于数字接口(1.8V至5.5V)的独立电源输入(V_{DDIO})。将V_{DDIO}连接至主处理器的I/O电源。

SPI串行接口

MAX5723/MAX5724/MAX5725 4线串行接口与MICROWIRE、SPI、QSPI和DSP兼容。接口提供三路输入：SCLK、CSB和DIN。片选输入(CSB，低电平有效)将通过串行数据输入(DIN)装载的数据打包成帧。CSB输入从高电平跳变为低电平后，数据在串行时钟输入(SCLK)的每个下降沿同步移位并锁存至输入寄存器。每个串行操作字为24位长。DAC数据为左对齐，如表1所示。在第24个SCLK下降沿加载24位数据后，串行输入寄存器将其内容传输至目标寄存器。为启动新SPI操作，将CSB驱动为高电平后再驱动为低电平，开始下一个操作序列，确保满足相关的全部定时要求。CSB为高电平期间，SCLK被忽略，允许与相同总线上的其它器件进行通信。包括24个以上SCLK周期的SPI操作在第24个SCLK下降沿执行，使用可用数据的前3个字节。不执行由24个以下SCLK周期组成的SPI操作。SPI操作的内容包括一个命令字节，后边跟双字节数据字。

所有SPI_READ命令的DOUT阶段由所用的读回命令决定，允许选择最适合数字I/O实现的SCLK DOUT更新沿，将数据传输速度和/或定时裕量最大化。

MAX5723/MAX5724/MAX5725更新时，有保证的非零DOUT保持时间允许微处理器选通相同沿上的DOUT，实现最快的SPI读模式传输。例如，如果使用DPHA = 0，

表1. 格式DAC数据位位置

PART	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
MAX5723	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X	X	X	X	X
MAX5724	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X	X	X
MAX5725	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	X	X	X	X

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

MAX5723/MAX5724/MAX5725在响应SCLK下降沿8–23时更新DOUT，同时具有低数据保持时间要求的微处理器(μP)可选通SCLK下降沿9–24上的数据。器件支持微处理器高达25MHz的读回速度和5ns数据输入建立时间要求，以及 $V_{DDIO} > 2.7V$ 时允许 t_{DOUT} 为35ns。

可变的DOUT阶段也支持具有较长数据输入保持时间要求的微处理器。例如，如果使用 $DPHA = 1$ ，MAX5723/MAX5724/MAX5725在响应SCLK上升沿9–24时更新DOUT，同时微处理器可选通SCLK下降沿9–24上的DOUT数据。器件支持微处理器高达12.5MHz的读回速度和5ns数据输入建立时间要求，允许 t_{DOUT} 为35ns(假设SCLK占空比为50%)。

为提高读回速度，同时监测器件状态，SPI_READ_STATUS命令对多个位重复器件状态信息，允许以最大接口速度轮询器件(读回选通距离DOUT跳变沿较远时，最高50MHz)。对于使用SPI_READ_DATA命令的其它读回形式，发生多次DOUT总线跳变，不能达到这种传输速度。

图1所示为完整4线串行接口传输的时序图。以偏移二进制格式接受MAX5723/MAX5724/MAX5725的DAC编码设置(见表1)。此外，每条命令的预期数据格式列于表2。

SPI命令寄存器映射

本节列出了MAX5723/MAX5724/MAX5725的用户可存取命令和寄存器。

表2提供了关于命令寄存器的详细信息。

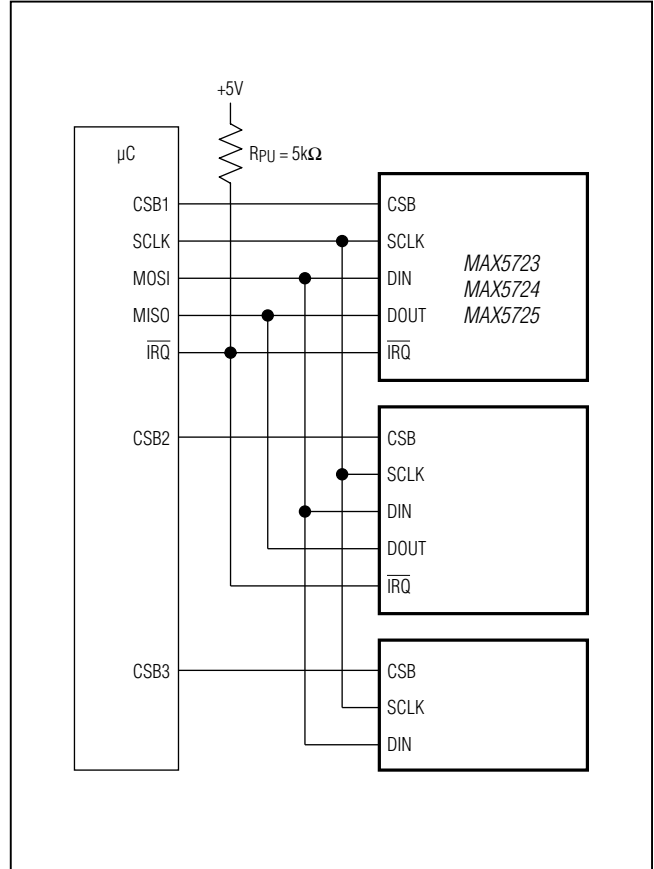


图2. 典型SPI应用电路

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

表2. SPI命令汇总

COMMAND	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	DESCRIPTION	
CONFIGURATION AND SOFTWARE COMMANDS																										
WDOG	0	0	0	1	X	X	X	X																X	Updates watchdog settings and safety levels	
REF	0	0	1	0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	Sets the reference operating mode. REF Power (B18): 0 = Internal reference is only powered if at least one DAC is powered 1 = Internal reference is always powered
SW_GATE_CLR	0	0	1	1	0	0	0	0	1	0	1	0	1	0	1	0	0	0	1	0	0	0	0	0	0	Removes any existing GATE condition
SW_GATE_SET	0	0	1	1	0	0	0	1	1	0	1	0	1	0	1	0	0	0	1	1	0	0	0	0	0	Initiates a GATE condition
WD_REFRESH	0	0	1	1	0	0	1	0	1	0	1	0	1	0	1	0	0	0	1	1	0	0	0	0	0	Refreshes the watchdog timer
WD_RESET	0	0	1	1	0	0	1	1	1	0	1	0	1	0	1	0	0	0	1	1	0	0	0	0	0	Reset the watchdog time out alarm status and refreshes the watchdog timer
SW_CLEAR	0	0	1	1	0	1	0	0	1	0	1	0	0	1	0	0	0	0	1	1	0	0	0	0	0	Executes a software clear (all CODE and DAC registers cleared to their DEFAULT values)
SW_RESET	0	0	1	1	0	1	0	1	1	0	1	0	0	1	0	0	0	0	1	1	0	0	0	0	0	Executes a software reset (all CODE, DAC, and control registers returned to their power-on reset values)
CONFIG	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Configures selected DAC Watchdog, GATE, LOAD, and CLEAR operations. DACs selected with a 1 in the corresponding DACn bit are updated. DACs with a 0 in the corresponding DACn bit are not impacted)

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

表2. SPI命令汇总(续)

COMMAND	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	DESCRIPTION
POWER	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Sets the Power Mode of the selected DACs (DACs selected with a 1 in the corresponding DACn bit are updated, DACs with a 0 in the corresponding DACn bit are not impacted)
DEFAULT	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Sets the DEFAULT code settings for selected DACs. Note, DACs in RETURN mode programmable RETURN codes. (DACs selected with a 1 in the corresponding DACn bit are updated, DACs with a 0 in the corresponding DACn bit are not impacted)
DAC COMMANDS																									
RETURNn	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Writes data to the selected RETURN register(s)
CODEn	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Writes data to the selected CODE register(s)
LOADn	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Transfers data from the selected CODE registers to the selected DAC register(s)
CODEn_LOAD_ALL	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Simultaneously writes data to the selected CODE register(s) while updating all DAC registers.
CODEn_LOADn	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Simultaneously writes data to the selected CODE register(s) while updating selected DAC register(s)
CODE_ALL	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Writes data to all CODE registers

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

表2. SPI命令汇总(续)

COMMAND	B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	DESCRIPTION																						
LOAD_ALL	1	1	0	0	0	0	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	Updates all DAC latches with current CODE register data																						
CODE_ALL_LOAD_ALL	1	1	0	0	0	0	1	0	CODE REGISTER DATA[11:4]								CODE REGISTER DATA[3:0]	X	X	X	X	X	X	X	X	X	Simultaneously writes data to the all CODE registers while updating all DAC registers																				
RETURN_ALL	1	1	0	0	0	0	1	1	RETURN REGISTER DATA[11:4]								RETURN REGISTER DATA[3:0]	X	X	X	X	X	X	X	X	X	X	Writes data to all RETURN registers																			
SPI_DATA_REQUEST	1	1	0	1	DAC Selection			INC	DATA SEL [1:0] 00 = DAC 01 = CODE 10 = RET 11 = WDT								X	X	X	X	X	X	X	X	X	X	Setup data request for readback. INC indicates if the DAC selection is incremented to the next DAC after each SPI_READ_DATA operation DATA_SEL[1:0] indicates the data content to be read back																				
SPI_READ_STATUS	1	1	1	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	DPHA = 0 Readback status																					
SPI_READ_DATA	1	1	1	0	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	DPHA = 1 Readback status																					
NO OPERATION COMMANDS																							X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	DPHA = 0 Readback requested data
NO OPERATION COMMANDS																							X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	DPHA = 1 Readback requested data
No Operation	1	1	0	0	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	These commands will have no effect on the device, but will refresh the watchdog timer if safety level is set to low.																					
Reserved Commands: Any commands not specifically listed above are reserved for Maxim internal use only.																							X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

RETURNn命令

RETURN命令(B[23:20] = 0111)设置可编程的RETURN默认值。该值用于将来全部看门狗、清零，以及利用DEFAULT命令选中DAC的RET时的选通操作。如果发送该命令时将DAC_ADDRESS设置为全部DAC，将设置全部RETURN寄存器的值，相当于RETURN_ALL。注：如果将看门狗定时器的安全等级配置为高或最高，发生看门狗超时，该命令不可用。

CODEn命令

CODEn命令(B[23:20] = 1000)更新所选DAC的CODE寄存器内容。根据该命令更改CODE寄存器不直接影响DAC输出，除非LDAC输入处于低电平状态或利用CONFIG命令将DAC锁存配置为透明。如果发送该命令时将DAC_ADDRESS设置为全部DAC，将设置全部CODE寄存器的值，相当于CODE_ALL。

LOADn命令

LOADn命令(B[23:20] = 1001)通过将所选CODE寄存器的当前内容装载至所选的DAC寄存器，更新所选DAC的DAC寄存器内容。将不更新自上次LOAD或LDAC操作以来CODE内容无更改的通道，以降低数字串扰。如果发送该命令时将DAC_ADDRESS设置为全部DAC，将更新全部DAC寄存器的内容，相当于LOAD_ALL。

CODEn_LOADn命令

CODEn_LOADn命令(B[23:20] = 1011)更新所选DAC的CODE寄存器内容，以及所选DAC的DAC寄存器内容。将不更新自上次LOAD或LDAC操作以来CODE内容无更改的通道，以降低数字串扰。如果发送该命令时将DAC_ADDRESS设置为全部DAC，相当于CODE_ALL_LOAD_ALL命令。

CODEn_LOAD_ALL命令

CODEn_LOAD_ALL命令(B[23:20] = 1010)更新所选DAC的CODE寄存器内容，以及全部DAC的DAC寄存器内容。将不更新自上次LOAD或LDAC操作以来CODE内容无更改的通道，以降低数字串扰。如果发送该命令时将DAC_ADDRESS设置为全部DAC，将更新全部DAC的CODE和DAC寄存器的内容，相当于CODE_ALL_LOAD_ALL。注

表3. DAC选择

B19	B18	B17	B16	DAC SELECTED
0	0	0	0	DAC0
0	0	0	1	DAC1
0	0	1	0	DAC2
0	0	1	1	DAC3
0	1	0	0	DAC4
0	1	0	1	DAC5
0	1	1	0	DAC6
0	1	1	1	DAC7
1	X	X	X	ALL DACs

意，根据定义，该命令将更改至少一个CODE寄存器；以避免使用DAC_ADDRESS设置为全部DAC的LOAD命令或LOAD_ALL命令。

CODE_ALL命令

CODE_ALL命令(B[23:16] = 1100_0000)更新全部DAC的CODE寄存器内容。

LOAD_ALL命令

LOAD_ALL命令(B[23:16] = 1100_0001)通过将CODE寄存器的当前内容装载至DAC寄存器，更新全部DAC的DAC寄存器内容。

CODE_ALL_LOAD_ALL命令

CODE_ALL_LOAD_ALL命令(B[23:16] = 1100_0010)更新全部DAC的CODE寄存器内容，以及全部DAC的DAC寄存器内容。

RETURN_ALL命令

RETURN_ALL命令(B[23:16] = 1100_0011)更新全部DAC的RETURN寄存器内容。

无操作命令

空间中全部未使用的命令(B[23:16] = 1100_01XX或1100_1XXX)对器件无影响，但将刷新看门狗定时器(若有效)，安全等级设置为低。

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

WDOG命令

WDOG命令(B[23:20] = 0001)更新器件的看门狗超时设置和安全等级。以1ms步长选择超时门限(可采用1ms至4095ms)。WD_MASK位可用于屏蔽响应看门狗状态的 $\overline{\text{IRQ}}$ 工作，如果WD_MASK = 1，看门狗报警将不使 $\overline{\text{IRQ}}$ 有效。可使用SPI状态读回命令轮询看门狗报警状态(WD位)，与WD_MASK设置无关。写该寄存器将不复位之前触发的看门狗报警(可使用WD_RESET命令实现)。看门狗定时器刷新和超时行为由以下的可编程安全等级定义。

安全等级(WL[1:0])包括：

低等(00)：执行任何有效的用户模式命令或空操作，将刷新看门狗定时器。任何从地址应答都将重新启动看门狗定时器(运行至第9个SCL信号沿)，与随后的命令无关。硬件 $\overline{\text{CLR}}$ 或 $\overline{\text{LDAC}}$ 下降沿也刷新看门狗定时器。触发看门狗报警时，不妨碍写任何寄存器。发生看门狗超时事件后， $\overline{\text{LDAC}}$ 和 $\overline{\text{CLR}}$ 输入仍正常工作。

中等(01)：必须执行WD_REFRESH命令才能刷新看门狗定时器。其它命令以及 $\overline{\text{LDAC}}$ 或 $\overline{\text{CLR}}$ 操作不刷新看门狗定时器。触发看门狗报警时，不妨碍任何寄存器写操作。发生看门狗超时事件后， $\overline{\text{LDAC}}$ 和 $\overline{\text{CLR}}$ 输入仍正常工作。

高等(10)：必须执行WD_REFRESH命令才刷新看门狗定时器。其它命令以及 $\overline{\text{LDAC}}$ 或 $\overline{\text{CLR}}$ 操作不刷新看门狗定时器。触发看门狗报警时，不能执行全部POWER、REF、CONFIG、DEFAULT及RETURN命令。发生看门狗超时事件后， $\overline{\text{LDAC}}$ 和 $\overline{\text{CLR}}$ 输入仍正常工作。

最高安全等级(11)：必须执行WD_REFRESH命令才刷新看门狗定时器。其它命令以及 $\overline{\text{LDAC}}$ 或 $\overline{\text{CLR}}$ 操作不刷新看门狗定时器。触发看门狗报警时，不能执行全部POWER、REF、CONFIG、DEFAULT及RETURN命令。发生看门狗超时事件后， $\overline{\text{LDAC}}$ 和 $\overline{\text{CLR}}$ 被输入选通，不能正常工作。

表4. WDOG命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0			
0	0	0	1	X	X	X	X	C11	C10	C9	C8	C7	C6	C5	C4	C3	C2	C1	C0	WDM	WL1	WL0	X			
WDOG Command				Don't Care				Timeout Selection								Timeout Selection				WD_MASK	WDOG Safety Level: 00: Low 01: Med 10: High 11: Max			Don't Care		
Default Value →								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	X
Command Byte								Data High Byte								Data Low Byte										

表5. 看门狗安全保护等级

WATCHDOG SAFETY LEVEL	ANY COMMAND REFRESHES WDT	$\overline{\text{CLR/LDAC}}$ REFRESHES WDT	SW_RESET PLUS WD_RFRS REFRESHES WDT	ALL REGISTERS ACCESSIBLE AFTER WDT TIMEOUT*	$\overline{\text{CLR/LDAC}}$ AFFECT DAC REGISTERS AFTER WDT TIMEOUT*
00 (Low)	X	X	X	X	X
01 (Med)	—	—	X	X	X
10 (High)	—	—	X	—	X
11 (Max)	—	—	X	—	—

* 除非受CONFIG命令设置的看门狗HOLD或CLR配置影响。详细信息请参见CONFIG寄存器定义。

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

REF命令

REF命令(B[23:20] = 0010)更新适用于全部DAC通道的全局基准设置。如果选择内部基准模式，RF2 (B18)位定义基准模式。如果RF2设置为零(默认值)，全部DAC通道在任何时间关断时，基准将关断(即器件处于STANDBY模式)。如果RF2设置为1，即使全部DAC通道关断，基准将维持上电，允许外部电路继续工作(注，该模式下，低电流关断状态不可用)。如果将看门狗定时器的安全等级配置为高或最高，发生看门狗超时，该命令不可用。

SW_GATE_CLR命令

SW_GATE_CLR命令(B[23:0] = 0011_0000_1001_0110_0011_0000)将删除由之前SW_GATE_SET命令设置的GATE条件。

SW_GATE_SET命令

SW_GATE_SET命令(B[23:0] = 0011_0001_1001_0110_0011_0000)将启动GATE条件。任何配置为GTB = 0的DAC (见[CONFIG命令](#)部分)将使其输出保持在所选的DEFAULT值，直到随后的SW_GATE_CLR命令消除GATE条件。选通模式下，CODE和DAC寄存器继续正常工作，不复位(除非由看门狗超时复位)。

WD_REFRESH命令

WD_REFRESH命令(B[23:0] = 0011_0010_1001_0110_0011_0000)将刷新看门狗定时器。如果器件配置为中、高或最高安全等级，这是唯一将刷新看门狗定时器的命令。利用该命令防止看门狗定时器超时。

WD_RESET命令

WD_RESET命令(B[23:0] = 0011_0011_1001_0110_0011_0000)将复位看门狗中断(超时)状态，并刷新看门狗定时器。看门狗定时器超时后，利用该命令复位IRQ超时条件。受超时条件影响的任何DAC都将恢复正常工作。

SW_CLEAR命令

软件清零命令(B[23:0] = 0011_0100_001_0110_0011_0000)将配置为CLB = 0 (见CONFIG命令)的全部通道的CODE和DAC寄存器的内容设置为DEFAULT默认状态。

SW_RESET命令

软件复位命令(B[23:0] = 0011_0101_1001_0110_0011_0000)将全部CODE、DAC和配置寄存器复位为其默认值(包括POWER、DEFAULT、CONFIG、WDOG和REF寄存器，模拟上电复位)。

表6. REF命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	0	1	0	0	RF2	RF1	RF0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
REF Command				Reserved	0 = DAC Controlled 1 = Always ON	REF Mode: 00: EXT 01: 2.5V 10: 2.0V 11: 4.0V			Don't Care							Don't Care							
Default Value →				0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
Command Byte					Data High Byte							Data Low Byte											

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

POWER命令

POWER命令(B[23:20] = 0100)更新所选DAC的电源模式设置。响应命令时，未选中的DAC不更新其电源设置。新电源设置由位PD[1:0] (B[7:6])决定，利用B[15:8]选择受影响的DAC。如果全部DAC关断，且RF2位未置位，器件进入STANDBY模式(禁用全部模拟电路)。如果将看门狗定时器的安全等级配置为高或最高，发生看门狗超时，该命令不可用。

可用的电源模式(PD[1:0]):

常规(00): DAC通道有效(默认)。

PD 1kΩ (01): 关断，1kΩ匹配电阻连接至GND。

PD 100kΩ (10): 关断，100kΩ端接电阻连接至GND。

PD Hi-Z (11): 关断，高阻输出。

表7. POWER命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	1	0	0	0	0	0	0	7	6	5	4	3	2	1	0	PD1	PD0	X	X	X	X	X	X
POWER Command				Reserved				Multiple DAC Selection								Power Mode: 00 = Normal 01 = 1kΩ 10 = 100kΩ 11 = Hi-Z		Don't Care					
Default Value →								1	1	1	1	1	1	1	1	0	0	X	X	X	X	X	X
Command Byte								Data High Byte								Data Low Byte							

CONFIG命令

CONFIG命令(B[23:16] = 0101)更新所选DAC的看门狗、选通、负载和清零模式设置。未选中的DAC不更新其设置。写入的新模式设置由位B[7:3]决定，利用B[15:8]选择受影响的DAC。如果将看门狗定时器的安全等级配置为高或最高，发生看门狗超时的情况下，该命令不可用。

看门狗配置:

WDOG配置设置通过WC[1:0] (B[7:6])写入: DISABLE (WC = 00): 看门狗超时不影响所选DAC的工作。

GATE (WC = 01): 响应看门狗超时，DAC编码选通至DEFAULT值。除非看门狗安全等级禁止，接受对CODE和

DAC寄存器的LDAC、CLR和写操作，但直到复位看门狗超时状态时才反应在DAC输出上。

CLR (WC = 10): 响应看门狗超时，将CODE和DAC寄存器内容恢复为DEFAULT值。忽略对CODE和DAC寄存器的全部写操作，LDAC或CLR输入没有影响，直到看门狗超时状态复位，与看门狗安全等级无关。

HOLD (WC = 11): 响应看门狗超时，DAC编码保持其前一设置值。忽略对DAC和CODE寄存器的全部写操作，LDAC或CLR输入没有影响，直到看门狗超时状态复位，与看门狗安全等级无关。

注: 为了使看门狗超时发生作用，必须首先使能功能，并使用WDOG命令进行配置。

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

选通配置:

DAC GATE设置由GTB (B5)写入; GATE工作如下:

GTB = 0: 使能软件选通功能(默认), 只要保持在GATE模式(由SW_GATE_SET设置, 由SW_GATE_CLR清除), DAC输出即选通至其DEFAULT设置。

GTB = 1: 禁用软件选通功能, DAC输出不受GATE模式影响。

装载配置:

LDAC_ENB设置由LDB (B4)写入; LDAC_ENB工作如下:

LDB = 0: DAC锁存工作, 使能LDAC和LOAD功能(默认)。

LDB = 1: DAC锁存透明, CODE寄存器内容直接控制DAC输出。

清零配置:

CLEAR_ENB设置由CLB (B3)写入; CLEAR_ENB工作如下:

CLB = 0: 清零输入和命令功能影响DAC (默认), 将CODE和DAC寄存器恢复为其DEFAULT值。

CLB = 1: 清零输入和命令功能不影响DAC。

表8. CONFIG命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	
0	1	0	1	0	0	0	0	7	6	5	4	3	2	1	0	WC1	WC0	GTB	LDB	CLB	X	X	X	
CONFIG Command				Reserved				Multiple DAC Selection								WDOG Config: 00: DISABLE 01: GATE 10: CLR 11: HOLD		GATE_ENB	LDAC_ENB	CLEAR_ENB	Don't Care			
Default Value →								1	1	1	1	1	1	1	1	1	0	0	0	0	0	X	X	X
Command Byte								Data High Byte								Data Low Byte								

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

DEFAULT命令

DEFAULT命令(B[23:20] = 0110)选择所选DAC的默认值。响应命令时，未选中的DAC不更新其默认设置。这些默认值用于将来全部的看门狗、清零和选通操作。新默认值设置由DF[2:0] (B[7:5])决定，利用B[15:8]选择受影响的DAC。如果将看门狗定时器的安全等级配置为高或最高，发生看门狗超时，该命令不可用。注意，所选的默认值不适用于由SW_RESET命令或电源开/关引起的复位，这两种情况将全部DAC恢复为由M/Z输入确定的值，并将该寄存器复位至M/Z模式。

可用的默认值(DF[2:0])有：

M/Z (000)：DAC通道默认为M/Z输入所选的值(默认)。

ZERO (001)：DAC通道默认为零刻度。

MID (010)：DAC通道默认为中间刻度。

FULL (011)：DAC通道默认为满刻度。

RETURN (100)：DAC通道默认为由RETURN命令编程的值。

No Effect (101, 110, 111)：DAC通道默认行为不变。

表9. DEFAULT命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	1	1	0	0	0	0	0	7	6	5	4	3	2	1	0	DF2	DF1	DF0	X	X	X	X	X
DEFAULT Command				Reserved				Multiple DAC Selection								Default Values: 000: M/Z 001: ZERO 010: MID 011: FULL 100: RETURN 101+: No Effect			Don't Care				
Default Value →								1	1	1	1	1	1	1	1	0	0	0	X	X	X	X	X
Command Byte								Data High Byte								Data Low Byte							

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

SPI_DATA_REQUEST命令

SPI_DATA_REQUEST命令(B[23:20] = 1101)为将来的SPI_READ_DATA操作建立数据请求。SPI_READ_DATA用于读取每路通道的内部CODE、DAC或RETURN寄存器的当前设置，或看门狗配置(WDOG)设置或器件。提供的DAC地址告诉器件下一个SPI_READ_DATA命令要读回的通道位置(见表3)。如果设置的DAC地址大于DACS可用的数量，将返回通道0的内容。

INC位告诉器件下一次读回如何更新DAC地址指针：

0 = 固定地址指针(将来全部读回固定为当前地址)。

1 = 递增地址指针(将来在下一个地址进行读回，默认反转)。SEL[1:0]位告诉器件请求的数据类型：

DAC (00): DAC寄存器数据(当前DAC锁存数据，不受选通状态的影响，默认配置)。

CODE (01): CODE寄存器数据。

RET (10): RETURN寄存器数据。

WDT (11): WDOG寄存器数据(DAC选项不适用)。

表10. SPI_DATA_REQUEST命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	
1	1	0	1	DAC SELECTION				INC	SEL[1:0]		X	X	X	X	X	X	X	X	X	X	X	X	X	X
SPI_DATA_REQUEST				DAC Selection				Increment	Data Selection 00: DAC 01: CODE 10: RET 11: WDT		Don't Care					Don't Care								
Default Value →				0	0	0	0	1	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	
Command Byte								Data High Byte								Data Low Byte								

SPI_READ_STATUS命令

SPI_READ_STATUS命令(DPHA = 0时，B[23:18] = 111000；DPHA = 1时，B[23:18] = 111001)通过DOUT读回看门狗定时器和CLR引脚状态(特意重复，以允许最大接口速度)。

DIN[18]选择使用的DOUT阶段(DPHA) (详细信息请参见图1中的SPI串行接口)。

WD_STAT表示看门狗超时条件，正常工作期间为0，超时期间为1。WD_STAT不受WDOG_CONFIG命令中WD_MASK位的屏蔽。

CLR_STAT表CLR引脚的线电平。“0”表示CLR输入在当前SPI操作期间为有效状态(接地)；“1”表示CLR输入当前为无效状态(V_{DDIO}电平)。

表11. SPI_READ_STATUS命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
1	1	1	0	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
SPI_READ_STATUS (DPHA = 0)								DOUT = WD_STAT (Repeated)								DOUT = $\overline{\text{CLR}}$ _STAT (Repeated)							
1	1	1	0	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
SPI_READ_STATUS (DPHA = 1)								DOUT = WD_STAT (Repeated)								DOUT = $\overline{\text{CLR}}$ _STAT (Repeated)							
Command Byte								Data High Byte								Data Low Byte							

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

SPI_READ_DATA命令

SPI_READ_DATA命令(DPHA = 0时，B[23:18] = 111010；DPHA = 1时，B[23:18] = 111011)通过DOUT读回使用SPI_DATA_REQUEST命令请求的数据。

DIN[18]选择使用的DOUT极端(DPHA) (详细信息参见图1，关于不同DPHA选项下的完整读回速度清单，请参见[Electrical Characteristics](#)中的SPI Timing Characteristics)。

SPI_READ_DATA命令根据SPI_DATA_REQUEST配置SEL位的定义提供寄存器和地址数据。如果SPI_DATA_REQUEST INC位进行了配置，SPI_READ_DATA也递增通道地址指针，地址读回对应于返回数据的地址。

表12. SPI_READ_DATA命令格式

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
1	1	1	0	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
SPI_READ_DATA (DPHA = 0, SEL = 00)								DOUT = DAC[11:4]								DOUT = DAC[3:0]				ADDRESS[3:0]			
SPI_READ_DATA (DPHA = 0, SEL = 01)								DOUT = CODE[11:4]								DOUT = CODE[3:0]				ADDRESS[3:0]			
SPI_READ_DATA (DPHA = 0, SEL = 10)								DOUT = RETURN[11:4]								DOUT = RET[3:0]				ADDRESS[3:0]			
SPI_READ_DATA (DPHA = 0, SEL = 11)								DOUT = WDOG[15:8]								DOUT = WDOG[7:1]							0
1	1	1	0	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
SPI_READ_DATA (DPHA = 1, SEL = 00)								DOUT = DAC[11:4]								DOUT = DAC[3:0]				ADDRESS[3:0]			
SPI_READ_DATA (DPHA = 1, SEL = 01)								DOUT = CODE[11:4]								DOUT = CODE[3:0]				ADDRESS[3:0]			
SPI_READ_DATA (DPHA = 1, SEL = 10)								DOUT = RETURN[11:4]								DOUT = RET[3:0]				ADDRESS[3:0]			
SPI_READ_DATA (DPHA = 1, SEL = 11)								DOUT = WDOG[15:8]								DOUT = WDOG[7:1]							0
Command Byte								Data High Byte								Data Low Byte							

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

应用信息

上电复位(POR)

电源加至 V_{DD} 和 V_{DDIO} 时，DAC输出复位为零幅。为优化DAC线性度，等待电源达到稳定，完成内部设置和校准序列(200 μ s，典型值)。

电源和旁路考虑

用高质量陶瓷电容将 V_{DD} 和 V_{DDIO} 旁路至低阻地，尽量靠近器件。将引线长度降至最短，以减小引线电感。将GND连接至模拟接地区域。

布局考虑

GND上的数字和交流瞬态信号会在输出产生噪声。将GND连接为形成DAC系统的星型地。将远端DAC负载作为该系统的参考地有助于获得最佳性能。采用适当的接地技术，例如带有低电感接地区域的多层电路板，或者采用星型拓扑将全部地回路连接至MAX5723/MAX5724/MAX5725的GND。须特别注意通道间的走线，以降低交流交叉耦合。不要使用绕线电路板或插座。并行排列模拟和数字信号线，特别是时钟信号。不得并行排列模拟和数字信号线，特别是时钟信号。避免在MAX5723/MAX5724/MAX5725装下方出现数字信号线。

定义

积分非线性(INL)

INL是消除失调、增益误差后，传递函数与两个代码连接直线的偏差。

微分非线性(DNL)

DNL是实际步长高度与1 LSB理想值之差。如果DNL的幅度 ≤ 1 LSB，DAC可确保无丢码并且单调。如果DNL的幅度 ≥ 1 LSB，DAC输出仍可能单调。

失调误差

失调误差指在某个工作点，实际传递函数与理想传递函数的差异。通常情况下，规定在位于或靠近传递函数零点的位置测量失调电压。

增益误差

增益误差为消除失调误差后，理想的满幅输出电压与实际传递函数曲线满幅输出电压的差。该误差会改变传递函数的斜率，对应于每一步长的相同百分比误差。

零幅误差

零幅误差为DAC设置为0编码时，输出电压与地之差。这包括失调和其它管芯电平非理想性。

满幅误差

满幅误差为DAC设置为满幅时，输出电压与基准电压之差。这包括失调、增益误差和其它管芯电平非理想性。

建立时间

建立时间是指从开始转换到DAC输出建立新的数值(达到规定的转换精度)所需要的时间。

数字馈通

数字馈通是指触发DAC数字控制线时，在DAC输出端产生的噪声。

数/模转换干扰脉冲

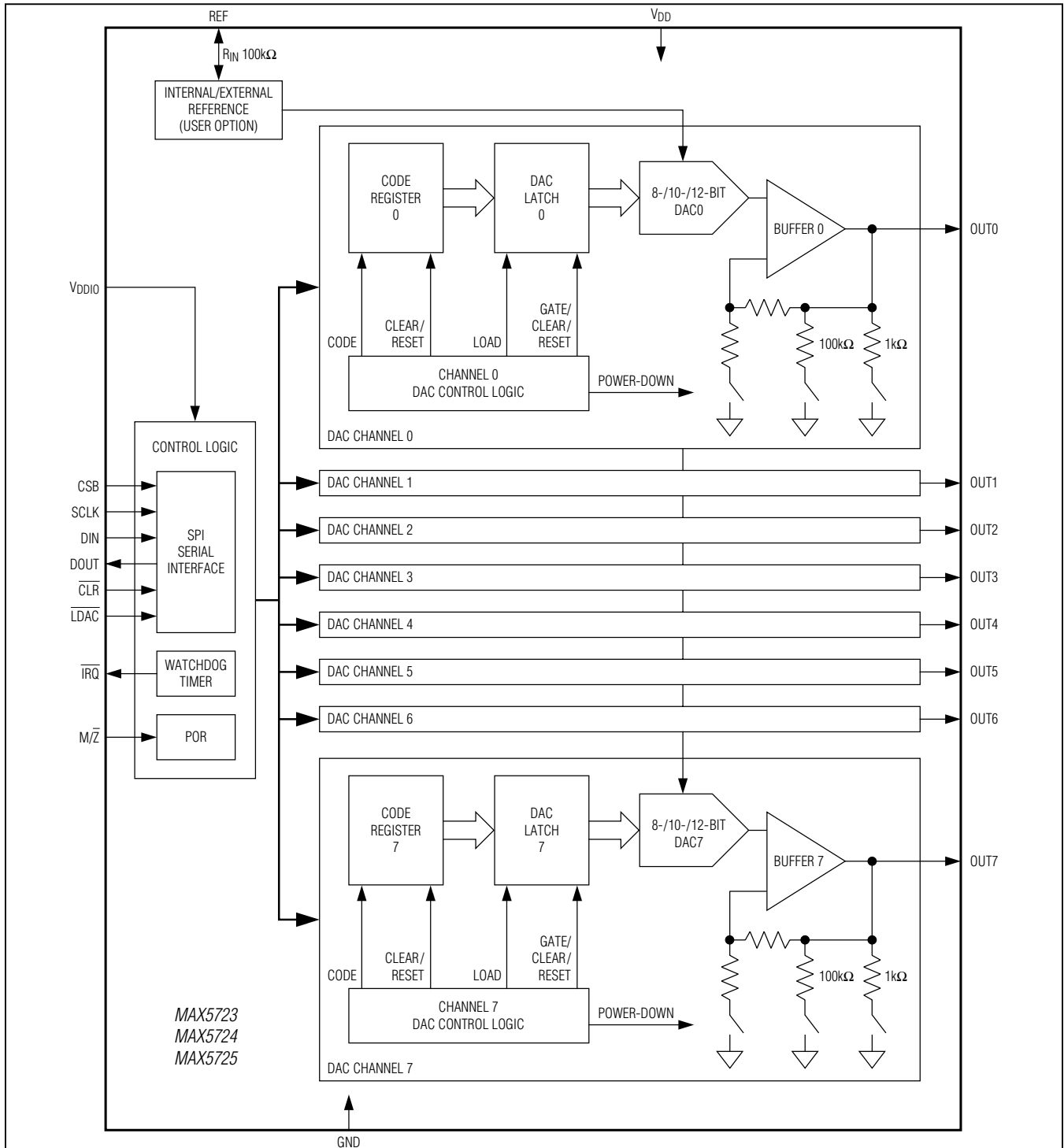
最高瞬变发生在中间刻度点——MSB由低电平变为高电平，其它所有数据位则由高电平变为低电平；或者MSB由高电平变为低电平，而其它数据位由低电平变为高电平。在这一跳变过程中，开关干扰持续脉冲称作数/模转换干扰脉冲。尽管全部位发生变化，大步长可能会造成较大的尖峰能量。

数/模转换上电干扰指器件退出关断模式时所产生的开关干扰的持续脉冲。

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

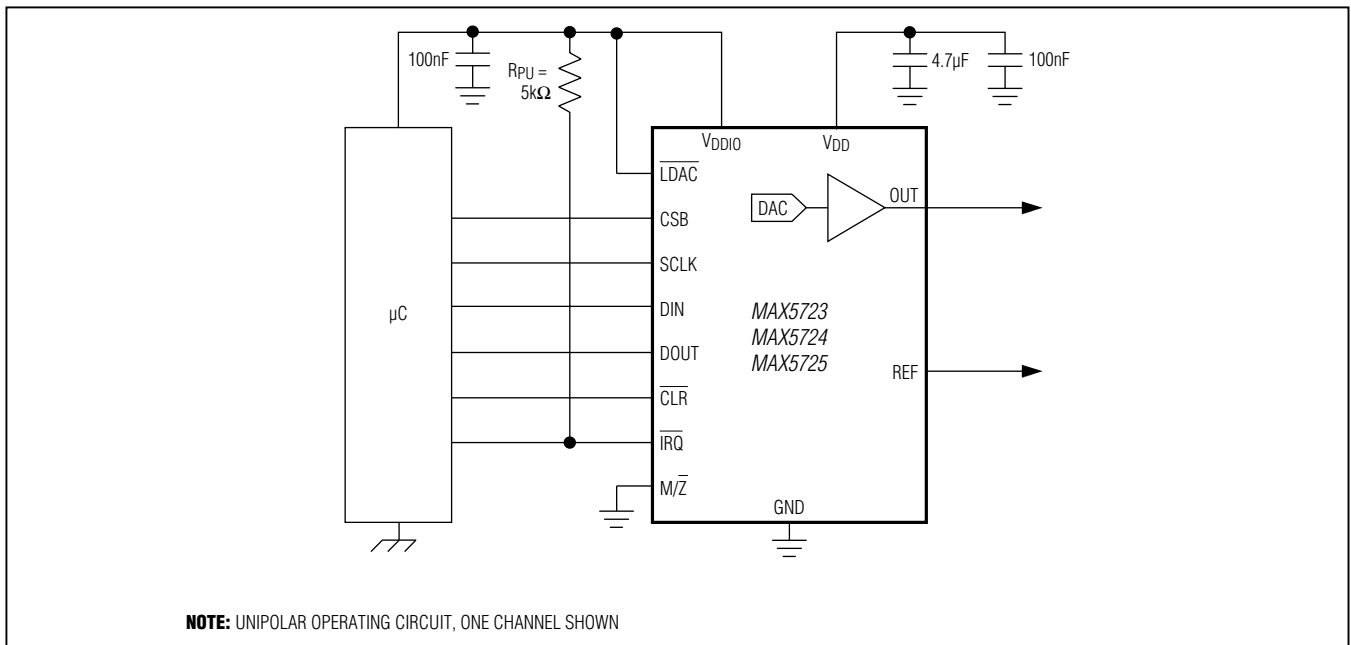
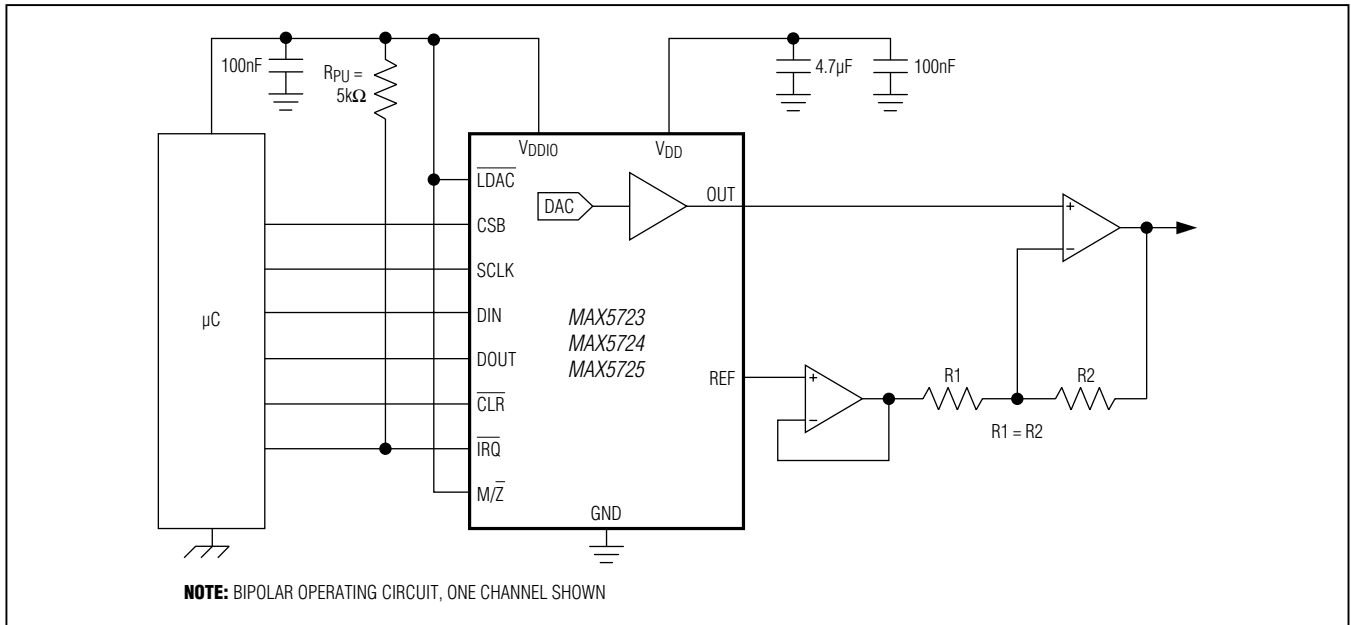
详细功能框图



MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

典型工作电路



MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

订购信息

器件	温度范围	引脚-封装	分辨率(位)
MAX5723AUP+*	-40°C to +125°C	20 TSSOP	8
MAX5724AUP+*	-40°C to +125°C	20 TSSOP	10
MAX5725AAUP+	-40°C to +125°C	20 TSSOP	12
MAX5725AWP+T*	-40°C to +125°C	20 WLP	12
MAX5725BAUP+*	-40°C to +125°C	20 TSSOP	12

注：所有器件均可工作于-40°C至+125°C温度范围内。

+表示无铅(Pb)/符合RoHS标准的封装。

*未来产品—供货状况请联系工厂。

T = 卷带包装。

芯片信息

PROCESS: BiCMOS

封装信息

如需最近的封装外形信息和焊盘布局(占位面积)，请查询china.maxim-ic.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	外形编号	焊盘布局编号
20 TSSOP	U20+1	21-0066	90-0116
20 WLP	W202C2+1	21-0059	参见 应用笔记1891

MAX5723/MAX5724/MAX5725

四通道、超小尺寸8/10/12位缓冲输出DAC， 内置基准和SPI接口

修订历史

修订号	修订日期	说明	修改页
0	3/12	最初版本。	—

Maxim北京办事处

北京8328信箱 邮政编码100083

免费电话：800 810 0310

电话：010-6211 5199

传真：010-6211 5299



Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。电气特性表中列出的参数值(最小值和最大值)均经过设计验证，数据资料其它章节引用的参数值供设计人员参考。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-10 00

35