

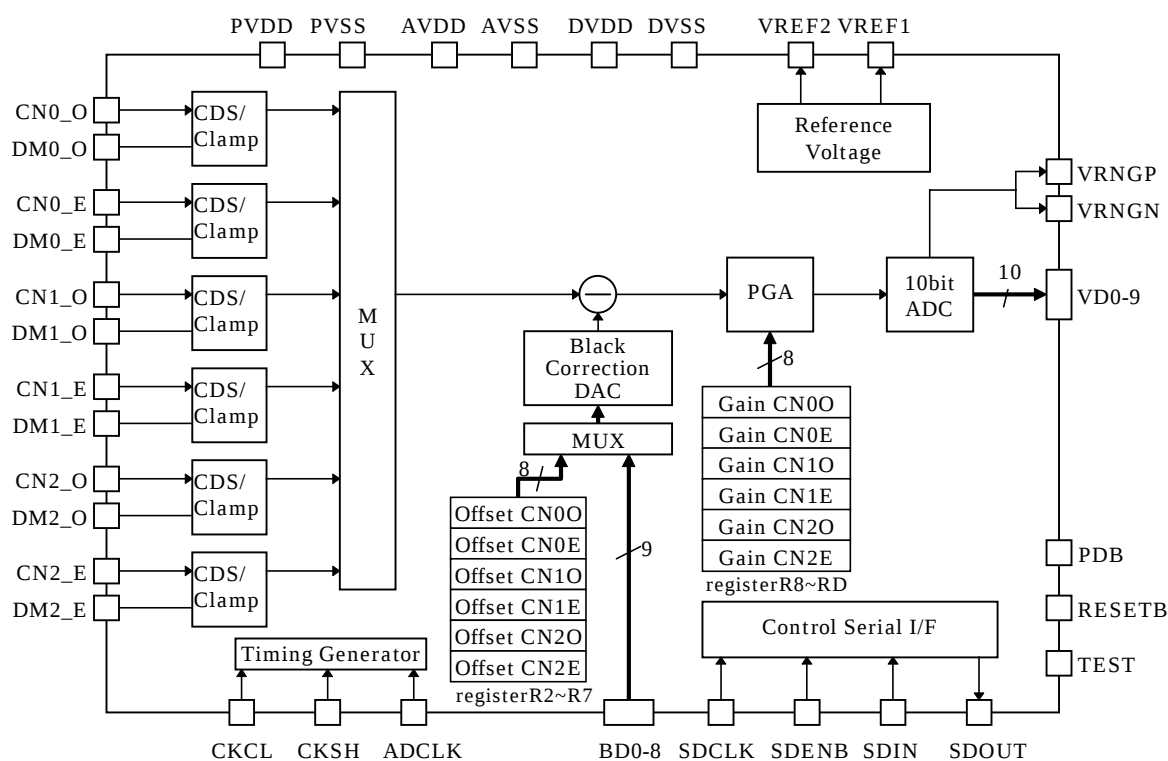


AK8430

6CH カラーCCD センサー対応アナログプリプロセッサ

特長

- 最大処理速度
シングル 1CH : 25M sample/sec
3CH : 10M×3 sample/sec
デュアル(偶奇出力) 2CH(モノクロ): 15M×2 sample/sec
6CH(カラー): 5M×6 sample/sec
- 最大入力信号レベル: 1.05Vp-p(typ.)/ 2.10Vp-p(typ.)
- 6CH 同時サンプリング CDS 回路(Correlated Double Sampling:相関二重サンプル)
- 2 種類の黒補正モード
画素レートでの黒補正 (9bit, ±90mV)
オフセットキャンセル (8bit, ±90mV, 6 チャンネル独立)
- ゲイン調整 PGA
ゲイン調整範囲 ×1~×4 (8bit, 6 チャンネル独立)
- 総合性能 (CDS ~ ADC)
10bit, コード欠けなし
DNL : ±0.5 LSB (typ.) INL : ±1.0 LSB (typ.)
総合出力雑音: 0.5 LSBrms (typ.)(PGA gain=1)
- 4 線式シリアル I/F
- デジタル出力ピン 5V/3.3V 対応
- 低消費電力: 600mW (typ.)
- パッケージ: 64pin LQFP, ピンピッチ 0.5mm, モールド 10mm×10mm



各ブロックの機能

□ CDS/Clamp センサーインターフェース回路

CCD センサー出力の画信号レベルをサンプル/ホールドする回路です。画信号レベルをサンプル/ホールドする方法として、CDS モードとクランプモードを持っています。

入力レンジは 1Vpp(typ.)/2Vpp(typ.)から選択できます。2Vpp レンジを選択したとき、信号レベルはセンサーインターフェース回路内で 1/2 に減衰します。

□ MUX(CDS/Clamp の後) チャンネルマルチプレクサ

同時にサンプル/ホールドした複数チャンネルの信号レベルをマルチプレクスし、時分割で黒補正回路へ入力する回路です。黒補正回路、PGA および 10bit ADC は時分割で各チャンネルを処理します。チャンネル数は 1、2、3、6 から選択できます。

□ Black Correction DAC 黒補正 DAC

センサーインターフェース部でサンプル/ホールドした信号レベルから暗時出力電圧分として減算する電圧を生成する DAC です。DAC のレンジは $\pm 90\text{mV}$ 、分解能は 9 ビットです。黒補正の方法にはオフセットキャンセルモードと全画素モードがあります。

□ PGA(Programmable Gain Amplifier)

各チャンネルの信号振幅をそろえるための、プログラマブルゲインアンプです。ゲインの設定範囲は1倍から 4 倍、分解能は 8bit です。レジスタ GainCNnO, GainCNnE(n=0~2)でチャンネル毎に PGA のゲインを設定できます。

□ 10bit ADC

黒補正およびゲイン調整後の画信号レベルをデジタルデータに変換する 10bit,30MSPS の ADC です。

□ Reference Voltage 基準電圧生成回路

AK8430 内部の黒基準レベル VREF1、アナログコモンレベル VREF2 を生成する回路です。定電圧回路を使用しているので、VREF1,VREF2 とも電源電圧に依存しません。

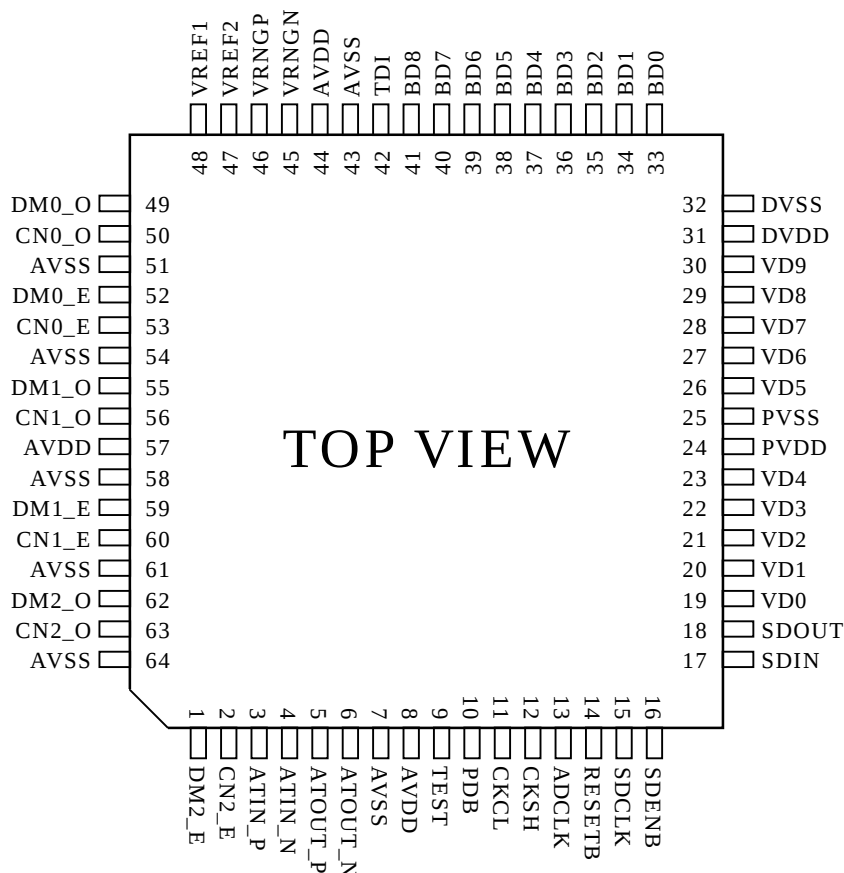
□ Timing Generator タイミング発生回路

入力クロック ADCLK,CKCL および CHSH から、AK8430 内部のタイミングパルスを発生する回路です。

□ Control Serial I/F コントロールレジスタ・インターフェース回路

コントロールレジスタに値を設定するための 4 線式シリアルインターフェースです。

ピン配置



ピン機能

ピン名	ピン番号	I/O	機能
黒補正データ I/F			
BD0-8	33-41	I	黒補正データ入力 (MSB=BD8) プルアップ抵抗 100kΩ 付
コントロールレジスタ I/F			
SDCLK	15	I	シリアル I/F クロック
SDENB	16	I	シリアルデータイネーブル
SDIN	17	I	シリアルデータ入力
SDOUT	18	O	シリアルデータ出力
ADC データ出力			
VD0-9	19-23, 26-30	O	ADC データ出力バス (MSB=VD9) ストレートバイナリ。黒:&h000、白:&h3FF。
クロック			
ADCLK	13	I	ADC クロック
CKSH	12	I	サンプルホールド回路タイミングクロック 内部のサンプルホールド信号は CKSH と ADCLK から作られます。 P14 Fig.6 参照
CKCL	11	I	サンプルホールド回路およびクランプスイッチタイミングクロック High 区間: クランプスイッチ ON Low 区間: クランプスイッチ OFF

ピン名	ピン番号	I/O	機能
その他デジタルピン			
RESETB	14	I	リセット Low イネーブル。 電源立ち上げ後は必ずリセットしてください。
PDB	10	I	パワーダウン Low イネーブル。
TEST	9	I	テストモード設定 通常は DVSS に接続してください。
TDI	42	I	テスト用デジタル入力 通常は DVSS に接続してください。
アナログピン			
CN0_O,CN1_O ,CN2_O	50,56,63	I	センサー奇数チャネル入力 入力コンデンサが必要です。使用しないチャネルはオープンにしてください。
CN0_E,CN1_E ,CN2_E	53,60,2	I	センサー偶数チャネル入力 入力コンデンサが必要です。使用しないチャネルはオープンにしてください。
DM0_O,DM0_E DM1_O,DM1_E DM2_O,DM2_E	49,52 55,59 62,1	I	ダミー入力 クランプモード時は、入力コンデンサと同じ容量のコンデンサを AVSS との間に接続してください。使用しないチャネルはオープンにしてください。 CDS モード時は、全て AVSS に接続して下さい。
VREF1	48	O	内部クランプレベル
VREF2	47	O	内部アナロググランド
VRNGP VRNGN	46 45	O	ADC 基準電圧出力 (電位差が ADC のレンジに相当) 安定化用コンデンサを接続してください。
電源			
DVDD	31		デジタル電源 +5V(typ.)
DVSS	32		デジタルグランド
PVDD	24		デジタル出力バッファ電源. +3.3V または+5V(typ.)
PVSS	25		デジタル出力バッファグランド
AVDD	8,44,57		アナログ電源. +5V(typ.)
AVSS	7,43,51 54,58,61 64		アナロググランド
その他アナログピン			
ATIN_P,ATIN_N	3,4	I	テスト用アナログ入力 通常はオープンにするか AVSS に接続してください。
ATOUT_P ATOUT_N	5,6	O	テスト用アナログ出力 通常はオープンにするか AVSS に接続してください。

コントロールレジスタ									
アドレス (16 進)	初期値 (16 進)	D7	D6	D5	D4	D3	D2	D1	D0
0	00	入力 レンジ	センサ I/F モード	チャンネル処理順序			PGA イネーブル	黒補正 モード	黒補正 レンジ比 検出 イネーブル
1	07	チャンネル選択						チャンネル数	
2	80	オフセットデータ CN0_O							
3	80	オフセットデータ CN0_E							
4	80	オフセットデータ CN1_O							
5	80	オフセットデータ CN1_E							
6	80	オフセットデータ CN2_O							
7	80	オフセットデータ CN2_E							
8	00	PGA ゲインデータ CN0_O							
9	00	PGA ゲインデータ CN0_E							
A	00	PGA ゲインデータ CN1_O							
B	00	PGA ゲインデータ CN1_E							
C	00	PGA ゲインデータ CN2_O							
D	00	PGA ゲインデータ CN2_E							
E	XX	黒補正レンジ比 (上位 8bit)							
F	注	ダミー入力 イネーブル		X	X	X	X	黒補正レンジ比 (下位 2bit)	

注) アドレス F のリセット値は 01XXXXXXb です

レジスタ説明

□ R0 レジスタ

■ D0 黒補正レンジ比検出イネーブル

- 0: 通常動作
1: 黒補正レンジ比検出イネーブル

黒補正レンジ比検出をイネーブルにすると、AK8430 は自動的に 10bit ADC で黒補正回路のフルスケールを検出し、検出値を黒補正レンジ比レジスタ RE、RF に書き込みます。検出が終了すると、このビットは自動的に 0 に戻ります。詳細は RE レジスタの項を参照してください。

■ D1 黒補正モード選択

- 0: オフセットキャンセルモード
1: 全画素補正モード

オフセットキャンセルモードでは黒補正回路の入力データとして、オフセットデータレジスタ R2~R7 が選択されます。一方、全画素補正モードでは、バス BD0~BD8 のデータが黒補正回路の入力として選択されます。全画素補正モードでは画素周期で BD0~BD8 の入力データを変えることで、画素ごとに黒補正をすることができます。BD0~BD8 の入力タイミングについては、デジタル AC 特性の CDS モードタイミング図及びラインクランプモードタイミング図を参照して下さい。

■ D2 PGA イネーブル

- 0: イネーブル
1: ディセーブル (ゲイン 1 に固定)

■ D5-D3 チャンネル処理順序選択

6CH モード

D5	D4	D3	処理順序
0	0	0	CN0O→CN1O→CN2O→CN0E→CN1E→CN2E
0	0	1	CN2O→CN0O→CN1O→CN2E→CN0E→CN1E
0	1	X	CN1O→CN2O→CN0O→CN1E→CN2E→CN0E
1	0	0	CN0O→CN2O→CN1O→CN0E→CN2E→CN1E
1	0	1	CN1O→CN0O→CN2O→CN1E→CN0E→CN2E
1	1	X	CN2O→CN1O→CN0O→CN2E→CN1E→CN0E

偶奇の順は固定で、奇が先、偶が後です。X は Don't Care です。

3CH モード

D5	D4	D3	処理順序
0	0	0	CN0O→CN1O→CN2O
0	0	1	CN2O→CN0O→CN1O
0	1	X	CN1O→CN2O→CN0O
1	0	0	CN0O→CN2O→CN1O
1	0	1	CN1O→CN0O→CN2O
1	1	X	CN2O→CN1O→CN0O

■ D6 センサーインターフェース選択

- 0: CDS モード
1: クランプモード

CDS モードでは、CKCL でサンプリングされた CCD 信号の基準レベルと、(CKSH)でサンプリングされた画信号レベルとの差が、実際の信号分として処理されます。CCD 信号に乗った雑音のうち、画素周期に比べて遅い周期の雑音を取り除かれるという利点があります。

クランプモードでは、CKCL=H の区間に CCD 信号の基準レベルが AK8430 内部の黒レベル VREF1 に引き込まれます。内部の基準レベル VREF1 と、(CKSH)でサンプリングされた画信号レベルとの差が実際の信号分として処理されます。

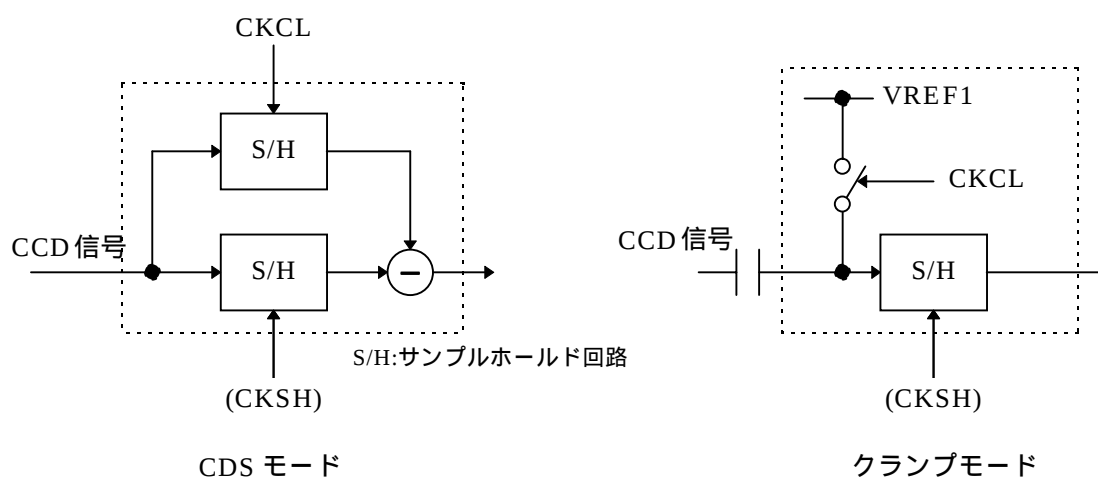


Fig.1 センサーI/F 概念図

画信号レベルをサンプリングするのに使われるパルス(CKSH)は、CKSH と ADCLK から作られる内部信号です。詳しくは P15 の AC タイミング 8、9 の説明を参照して下さい。

■ D7 入力レンジ選択

- 0: 2Vpp レンジ (2.10Vpp typ.)
1: 1Vpp レンジ (1.05Vpp typ.)

□ R1 レジスタ

■ D1,D0 チャンネル数選択

D1	D0	チャンネル数
0	0	1 CH: シングル出力モノクロ 使用するチャンネルはチャンネル選択レジスタで選択
0	1	3 CH: シングル出力カラー CN0O,CN1O,CN2O を使用
1	0	2 CH: 偶奇出力モノクロ CN0O,CN0E を使用
1	1	6 CH: 偶奇出力カラー CN0O,CN0E,CN1O,CN1E,CN2O,CN2E を使用

■ D7-D2 チャンネル選択

D7	D6	D5	D4	D3	D2	選択チャンネル
0	0	0	0	0	1	CN0O (default)
0	0	0	0	1	0	CN0E
0	0	0	1	0	0	CN1O
0	0	1	0	0	0	CN1E
0	1	0	0	0	0	CN2O
1	0	0	0	0	0	CN2E

このレジスタは黒補正レンジ比検出モード (R0:D0=1)または 1CH 入力モード (R1:D1,D0=0,0)のときに有効になります。ひとつのチャンネルだけをイネーブルにしてください。

□ R2-R7 レジスタ

■ オフセットデータ

D7-D0 (ストレートバイナリ)	オフセット電圧 (白側を正とする)
11111111	-90mV 黒側に最大シフト
11111110	:
:	:
10000000 (default)	0mV
:	:
00000000	90mV 白側に最大シフト

□ R8-RD レジスタ

■ PGA ゲインデータ

ゲイン = $335 / (335 - \text{レジスタ値})$

(default 値=0→ゲイン=1)

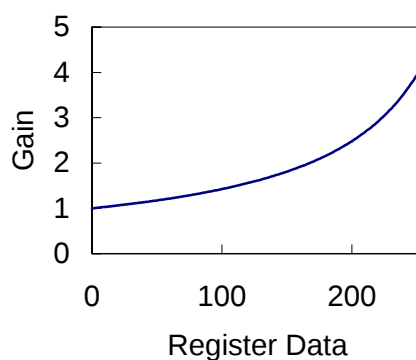


Fig.2 PGA ゲイン

□ RE,RF/D1-D0 レジスタ

■ 黒補正レンジ比データ

黒補正レンジ比は、黒補正值を最小から最大まで変えたときの、ADC 出力の変化分に相当します。この値から ADC 出力 1LSB が黒補正值の何 LSB に相当するかが分かります。全画素モードで黒補正值を計算する場合にこのデータを使用できます。

黒補正レンジ比検出イネーブルレジスタ R0/D0 を 1 にすると検出が実行され、黒補正レンジ比データが自動的にレジスタ RE,RF/D1~D0 に書き込まれます。検出を実行するときは PGA ゲインを 1 倍に設定してください。また、検出中は ADCLK、CKCL,CKSH を入力して下さい。R0/D0 レジスタに 1 を書き込む SDEN の立ち上がりから ADCLK 50 クロック以内で検出動作は終了し、R0/D0 レジスタは自動的に 0 に戻ります。

黒補正レンジ比は 10 ビット幅のデータです。レジスタ RE が上位 8 ビット、RF が下位 2 ビットです。したがって黒補正レンジ比は $(RE \times 4 + RF)$ となります。

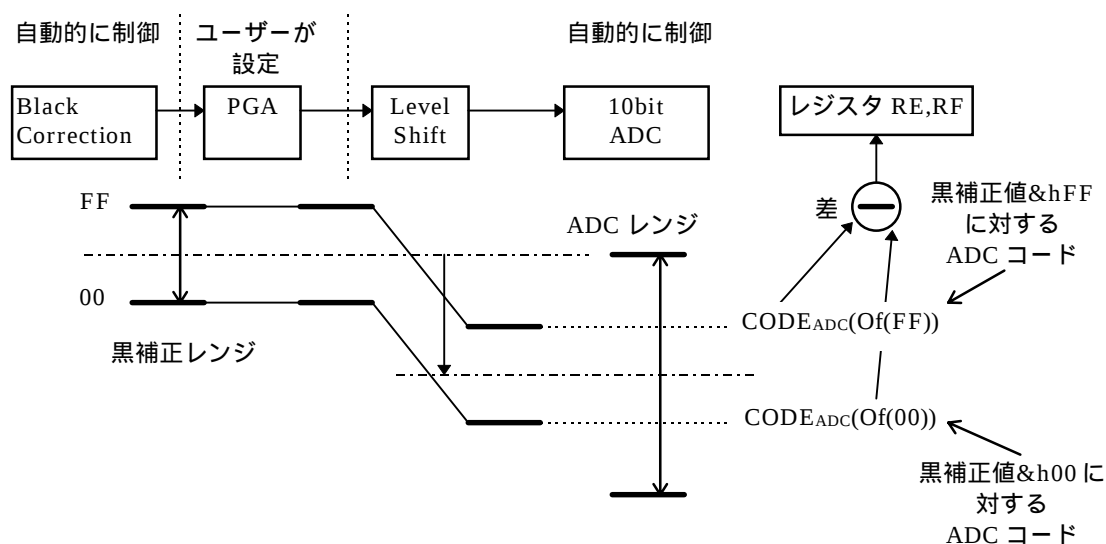


Fig.3 黒補正レンジ比検出モード

□ RF レジスタ

■ D6 クランプモード時ダミー入力イネーブル

- 0: ディセーブル
1: イネーブル (default)

クランプモード時、ここに 0 をセットするとダミー入力ピン DM0~2_O/E は無効になります。したがって DM0~2_O/E の入力コンデンサは不要になります。ただし、このとき信号のドループが増加します。通常はこのビットをイネーブルにし、DM0~2_O/E と AVSS との間に入力コンデンサを接続することを推奨します。CDS モード時、このビットは無効になります。

■ D7 CDS モード時ダミー入力イネーブル

- 0: ディセーブル (default)
1: イネーブル

通常は 0 でお使いください。1 はテストモードです。クランプモード時、このビットは無効になります。

シリアルインターフェースタイミング

■ AK8430 へ書き込み

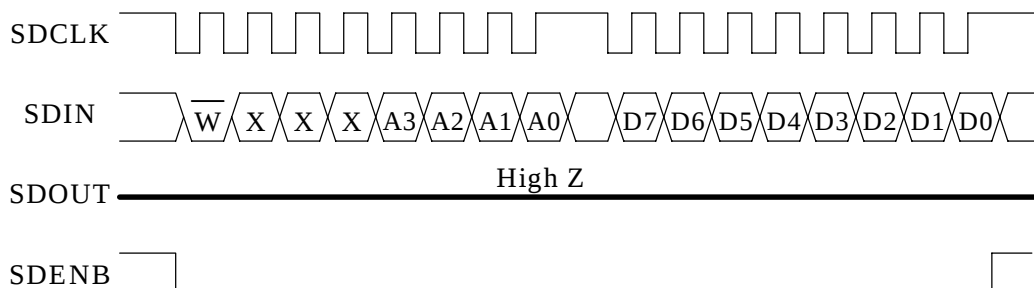


Fig.4 レジスタ書き込み

■ AK8430 から読み出し

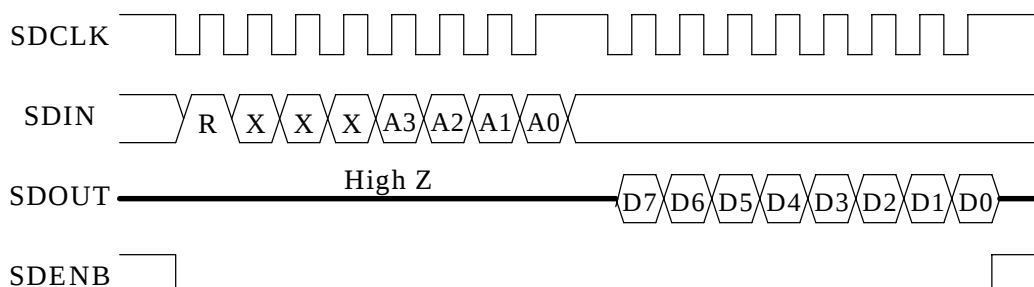


Fig.5 レジスタ読み出し

絶対最大定格

電圧は対応するグラウンドを基準としています。DVSS=PVSS=AVSS=0V

項目	記号	Min.	Max.	単位	備考
電源					電源立ち上げ時を含めて常に $VA \geq VD, VP$ であること。
デジタル電源	VD	-0.3	6.5	V	
	VP	-0.3	6.5	V	
アナログ電源	VA	-0.3	6.5	V	
デジタル入力ピン印加電圧	VTD	-0.3	VD+0.3	V	
アナログ入力ピン印加電圧	VTA	-0.3	VA+0.3	V	
保存温度	Tstg	-55	125	°C	
ハンダ付け温度、時間	Tsol	260°C, 10sec			

推奨動作条件

電圧は対応するグラウンドを基準としています。DVSS=PVSS=AVSS=0V

項目	記号	Min.	Typ.	Max.	単位	備考
電源						電源立ち上げ時を含めて常に VA≥VD,VP である こと。(注)
デジタル電源	VD	4.75	5.0	5.25	V	
	VP	3.15	—	5.25	V	
アナログ電源	VA	4.75	5.0	5.25	V	
動作温度	Ta	0		70	°C	

(注) $VA < VD$ または $VA < VP$ になると、本デバイスがラッチアップを起こす可能性があります。

電気的特性

■ DC 特性

(特記なき場合 VD,VP,VA=5V±5%,Ta=0-70°C)

項目	記号	ピン	Min.	Typ.	Max.	単位	備考
デジタル消費電流	ID	DVDD		8	9.6	mA	無負荷
	IP	PVDD		2	2.4	mA	
		DVDD+PVDD		1	10	μA	パワーダウン時
アナログ消費電流	IA	AVDD		70	84	mA	Single 1CH
				87	105	mA	Single 3CH
				78	94	mA	Dual 2CH
				120	144	mA	Dual 6CH
				1	10	μA	パワーダウン時
High レベル 入力電圧 1	VIH	デジタル 入力	2.4			V	ADCLK,CKSH, CKCL を除く
Low レベル 入力電圧 1	VIL	デジタル 入力			0.8	V	
入力電圧振幅	VIA	ADCLK CKSH CKCL	2.4			Vpp	High レベルと Low レベルの差 注 1)
High レベル 出力電圧	VOH	デジタル 出力	PVDD -0.5			V	IOH=-0.5mA
Low レベル 出力電圧	VOL	デジタル 出力			0.5	V	IOL=2mA
入力リーク電流	IL	デジタル 入力	-10		10	μA	VI=DVDD VI=DVSS
	ILPU	BD0-8	-100		10	μA	

注 1) 立ち上がり時間、立ち下がり時間に規定があります。デジタル AC 特性を参照して下さい。

■ アナログ特性

(特記なき場合 VD,VP,VA=5V±5%,Ta=0-70°C)

項目	Min.	Typ.	Max.	単位	備考
アナログ入力					
最大信号入力レベル	1.89 0.945	2.10 1.05	2.31 1.155	V _{p-p}	2V レンジ 1V レンジ
最大サンプリングレート	25 15 10 5			MSPS	1CH モード 2CH モード 3CH モード 6CH モード
最小サンプリングレート			5.0 1.7 2.5 0.8	MSPS	1CH モード 2CH モード 3CH モード 6CH モード
入力容量			32	pF	CN0O,CN1O,CN2O CN0E,CN1E,CN2E
入力抵抗	1			MΩ	CN0O,CN1O,CN2O CN0E,CN1E,CN2E
基準電圧					
VREF1 出力電圧	2.88	3.2	3.52	V	
VREF2 出力電圧	1.95	2.2	2.45	V	
クランプ回路					
クランプスイッチ ON 抵抗			50	Ω	クランプモード
			1.0	kΩ	CDS モード
サンプル・ホールド回路					
ドループ電圧		4	8	mV	ラインクランプ C=0.22μF, 入力信号=2V _{pp} , 8000 画素
ラインクランプ時残留オフセット 電圧		7	14	mV	ラインクランプ C=0.22μF, 入力信号=2V _{pp} , 8000 画素 リカバリー時間=10μsec (注 1)
黒補正回路					
分解能		9		bit	(注 2)
補正レンジ	±72	±90		mV	
積分非直線性誤差		±2	±4	LSB	ADC コードに換算した値
PGA(Programmable Gain Amp.)回路					
分解能		8		bit	(注 3)
最小ゲイン	0.95	1.0	1.05		
最大ゲイン	4.0	4.2	4.4		

(特記なき場合 $V_D, V_A, V_P = 5V \pm 5\%$, $T_a = 0-70^\circ\text{C}$)

項目	Min.	Typ.	Max.	単位	備考
ADC					
分解能		10		bit	
最大入力レベル	0.9	1.0	1.1	V_{p-p}	コード $3FF_H$ が出る入力レベル
最小入力レベル	-50	0	50	mV_{p-p}	コード 000_H が出る入力レベル
積分非直線性誤差		± 1	± 3	LSB	
微分非直線性誤差		± 0.5	$+1.5$ -1.0	LSB	コード欠けなし
雑音、クロストーク					
総合出力雑音		0.5		LSB_{rms}	PGA min.
		0.75		LSB_{rms}	PGA max.
チャンネル間クロストーク(注 4)		1		LSB	ADCLK=25MHz
		5		LSB	ADCLK=30MHz

(注 1) 設計保証

(注 2) 単調性を設計保証

(注 3) 単調性を設計保証

(注 4) 被測定チャンネルに $1.8V_{pp}$ 、他のチャンネルに $1.8V_{pp}$ および $0.2V_{pp}$ を入力。被測定チャンネルに対応する ADC 出力の変化量を測定。PGA ゲイン 1 倍。
被測定チャンネルに $0.2V_{pp}$ を入力した場合も同様に測定。

■ レベルダイアグラム

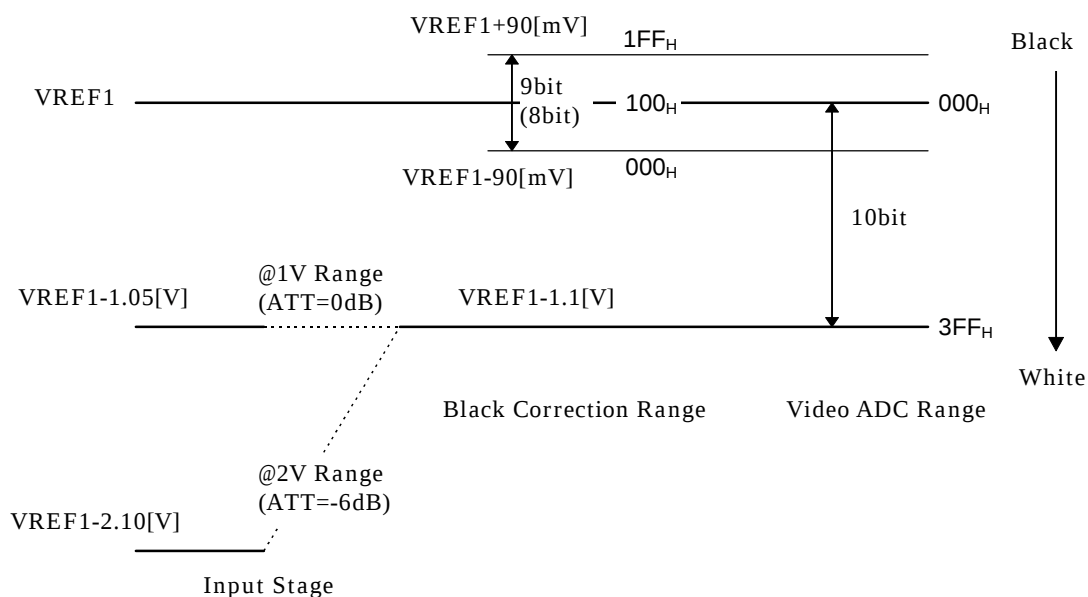


Fig.6 レベルダイアグラム

■ デジタル AC 特性

(特記なき場合 VD,VP,VA=5V±5%,Ta=0-70°C)

項目	ピン	Min.	Typ.	Max.	単位	備考
立ち上がり時間	ADCLK CKCL			6	nsec	Low レベルから 2V 変化 するまでの時間
立ち下がり時間	CKSH			6	nsec	High レベルから-2V 変化 するまでの時間

(特記なき場合 VD,VP,VA=5V±5%,Ta=0-70°C)

No.	項目	ピン	Min.	Typ.	Max.	単位	備考
1	ADCLK 周期 (T)	ADCLK	33.3			nsec	6CH
			33.3			nsec	2CH
			33.3			nsec	3CH
			40			nsec	1CH
2	ADCLK Low レベル幅	ADCLK	15			nsec	
3	ADCLK High レベル幅	ADCLK	15			nsec	
4	CKCL パルス幅	CKCL	10			nsec	(注 1)
5	CKCL, CKSH 周期	CKCL CKSH	200			nsec	6CH
			66.7			nsec	2CH
			100			nsec	3CH
			40			nsec	1CH
6	CKSH パルス幅	CKSH	12		1.5T- 17	nsec	(注 1)(注 3)
7	CKSH ↑ 遅延時間 (対 CKCL ↓)	CKSH	0			nsec	
8	CKSH セットアップ時間 (対 ADCLK ↑)	CKSH	0			nsec	(注 3)
9	CKSH ホールド時間 (対 ADCLK ↓)	CKSH	15			nsec	(注 3)
10	CKSH ↓ 遅延時間 (対 ADCLK ↓)	CKSH	12			nsec	
11	CN0~2 セットアップ時間 (対 CKCL ↓)	CNnO CNnE	10			nsec	
12	CN0~2 ホールド時間 (対 CKCL ↓)	CNnO CNnE	2			nsec	
13	CN0~2 セットアップ時間 (対 CKSH ↓)	CNnO CNnE	15			nsec	
14	CN0~2 ホールド時間 (対 CKSH ↓)	CNnO CNnE	3			nsec	
15	CKCL 遅延時間 (対 CKSH ↓)	CKCL	0			nsec	
16	VD0~9 遅延時間 (対 ADCLK ↑)	VD0~9			12	nsec	C=20pF
17	BD0~8 セットアップ時間 (対 ADCLK ↑)	BD0~8	13		T-13	nsec	(注 2)
18	BD0~8 ホールド時間 (対 ADCLK ↑)	BD0~8	13		T-13	nsec	(注 2)

(注 1)設計保証。

(注 2)この AC タイミングは、全画素補正設定時のみ有効となります。

(注 3) AC タイミング 8 番、9 番の説明

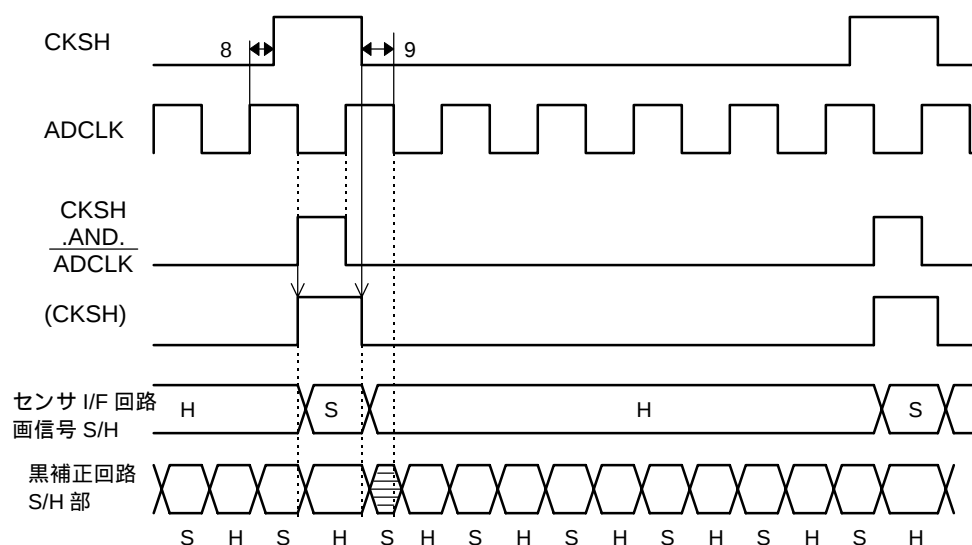


Fig.7 サンプル・ホールドタイミング(6CH モード)

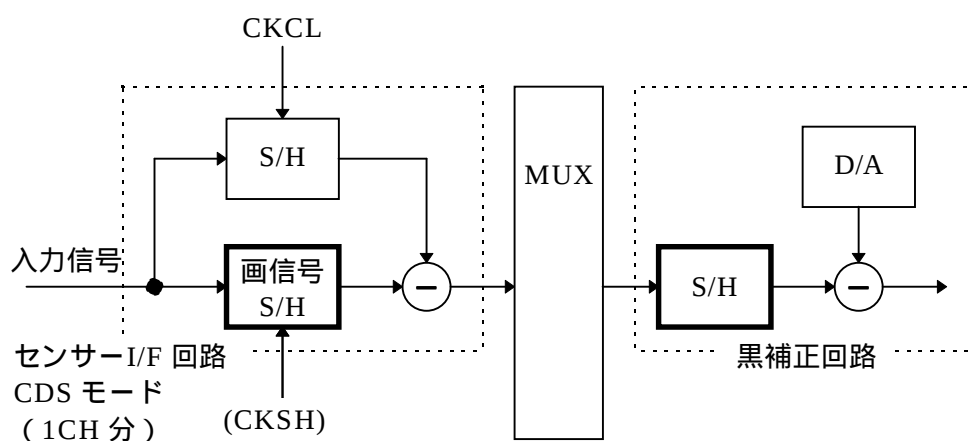


Fig.8 入力部模式図

Fig.7 ,Fig.8 の(CKSH) はセンサーI/F 回路内の画信号サンプルホールド回路(以下 S/H)を制御する内部信号です。(CKSH)の立ち上がりエッジは[CKSH .AND. INV(ADCLK)]の立ち上がりエッジで作られます。一方、(CKSH)の立ち下がりエッジは CKSH の立ち下がりエッジで作られます。

ADCLK セットアップ時間 (8) は[CKSH .AND. INV(ADCLK)]にハザードが発生するのを避けるために必要な時間です。

ADCLK ホールド時間 (9)は MUX の出力信号を黒補正回路がサンプリングするのに必要な時間です。

(特記なき場合 VD,VP,VA=5V±5%,Ta=0-70°C)

No.	項目	ピン	Min.	Typ.	Max.	単位	備考
19	SDCLK 周期	SDCLK	80			nsec	
20	SDCLK Low レベル幅	SDCLK	40			nsec	
21	SDCLK High レベル幅	SDCLK	40			nsec	
22	シリアルアクセス周期	SDCLK	1360			nsec	
23	SDIN セットアップ時間 (対 SDCLK ↑)	SDIN	20			nsec	
24	SDIN ホールド時間 (対 SDCLK ↑)	SDIN	20			nsec	
25	SDENB セットアップ時間 (対 SDCLK ↓)	SDENB	40			nsec	
26	SDENB ホールド時間 (対 SDCLK ↓)	SDENB	40			nsec	
27	SDENB High レベル幅	SDENB	40			nsec	
28	SDOUT 遅延時間 (対 SDCLK ↓)	SDOUT			30	nsec	C=20pF
29	SDOUT ホールド時間 (対 SDENB ↑)	SDOUT	0			nsec	C=20pF
30	RESETB パルス幅	RESETB	20			nsec	

■ コントロールレジスタ シリアル I/F タイミング

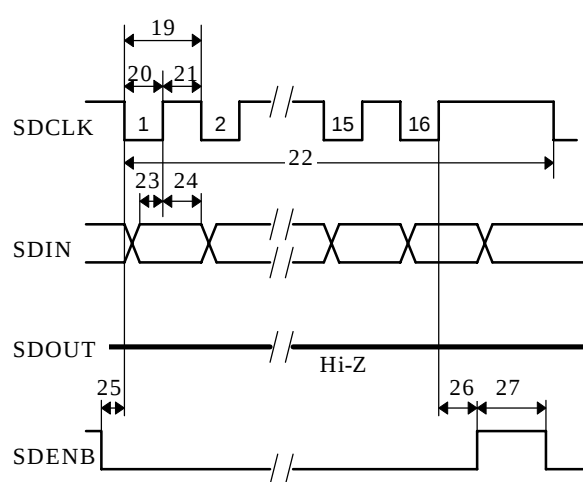


Fig.9 AK8430 へ書き込み

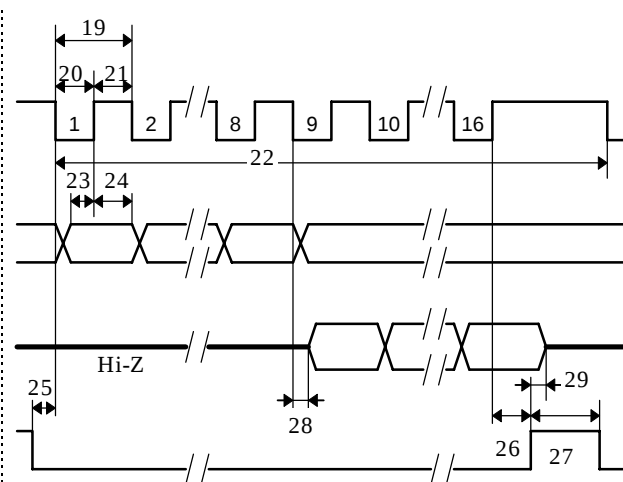


Fig.10 AK8430 から読み出し

■ リセットタイミング

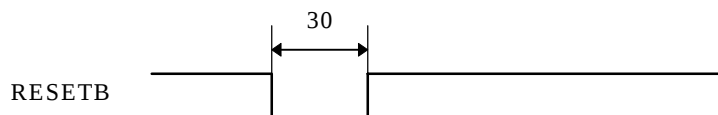
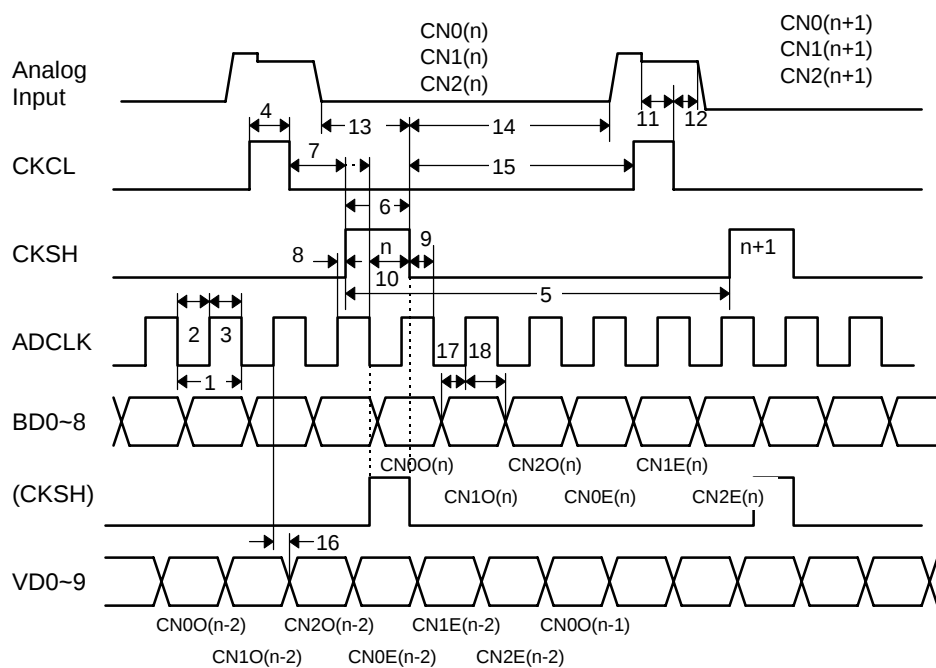


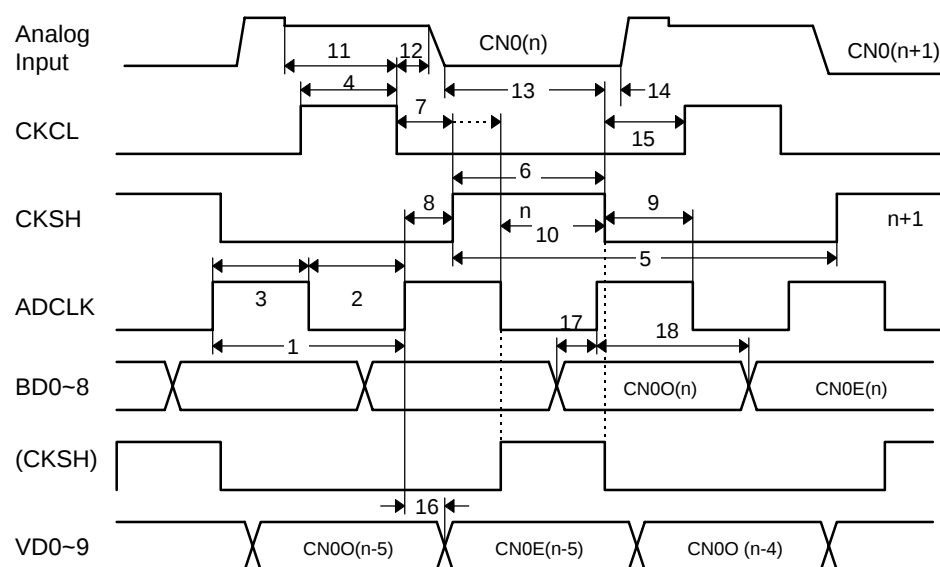
Fig.11 リセットタイミング

■ CDS モードタイミング



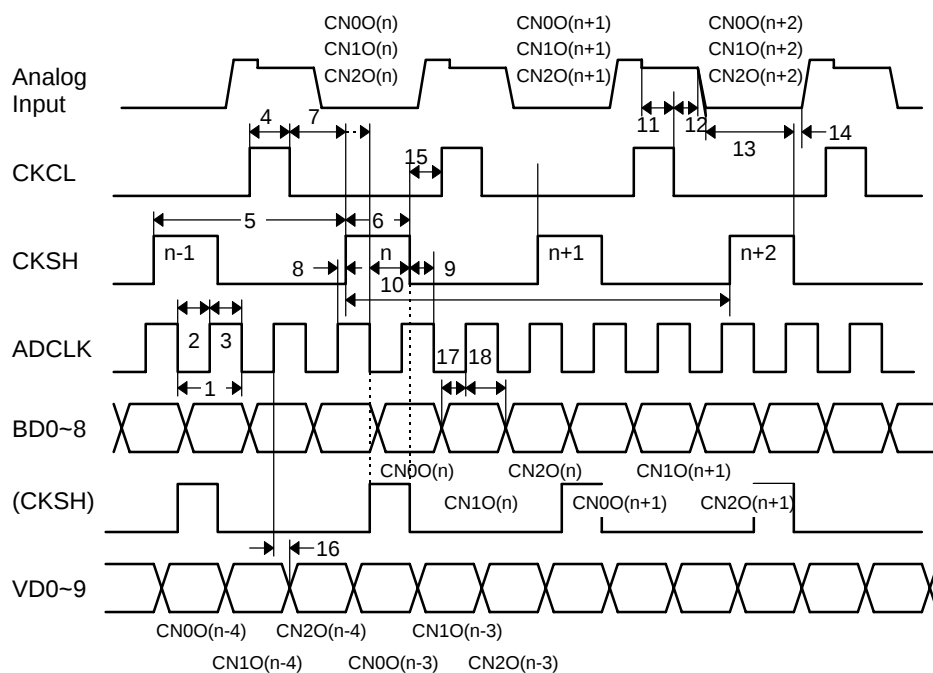
注) 7 の終点は CKSH↑と ADCLK↓のどちらか遅い方になります。

Fig.12 デュアル 6CH モード



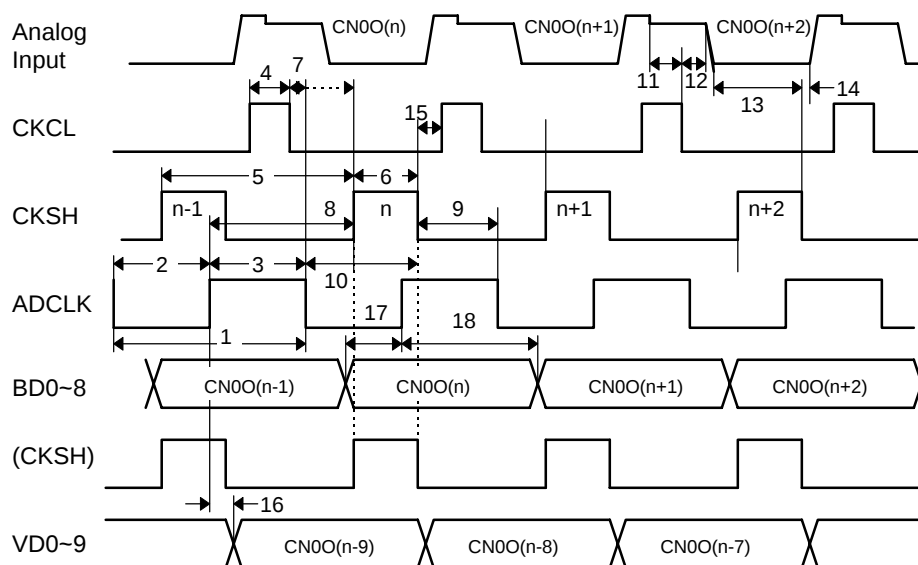
注) 7 の終点は CKSH↑と ADCLK↓のどちらか遅い方になります。

Fig.13 デュアル 2CH モード



注) 7の終点はCKSH↑とADCLK↓のどちらか遅い方になります。

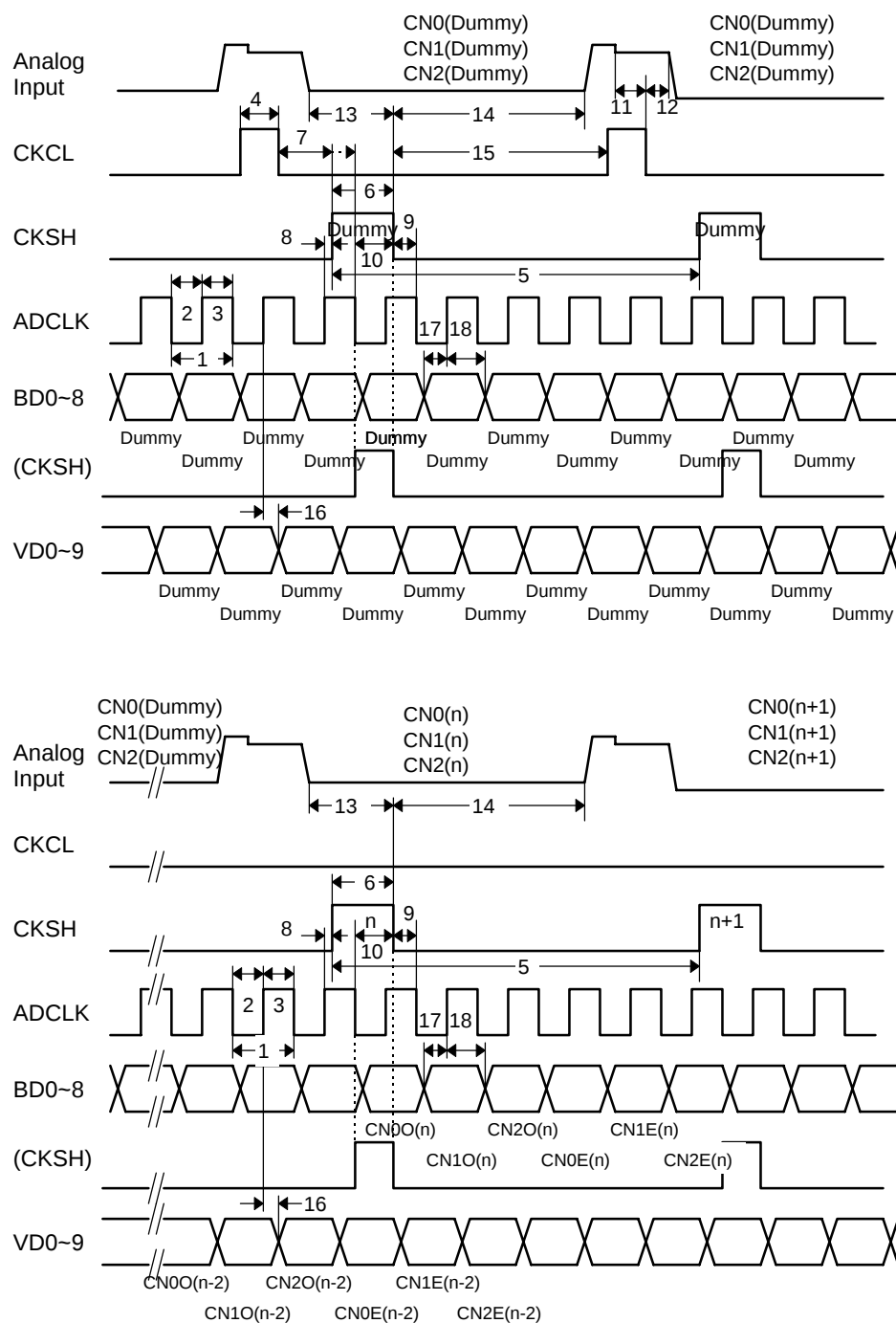
Fig.14 シングル 3CH モード



注) 7の終点はCKSH↑とADCLK↓のどちらか遅い方になります。

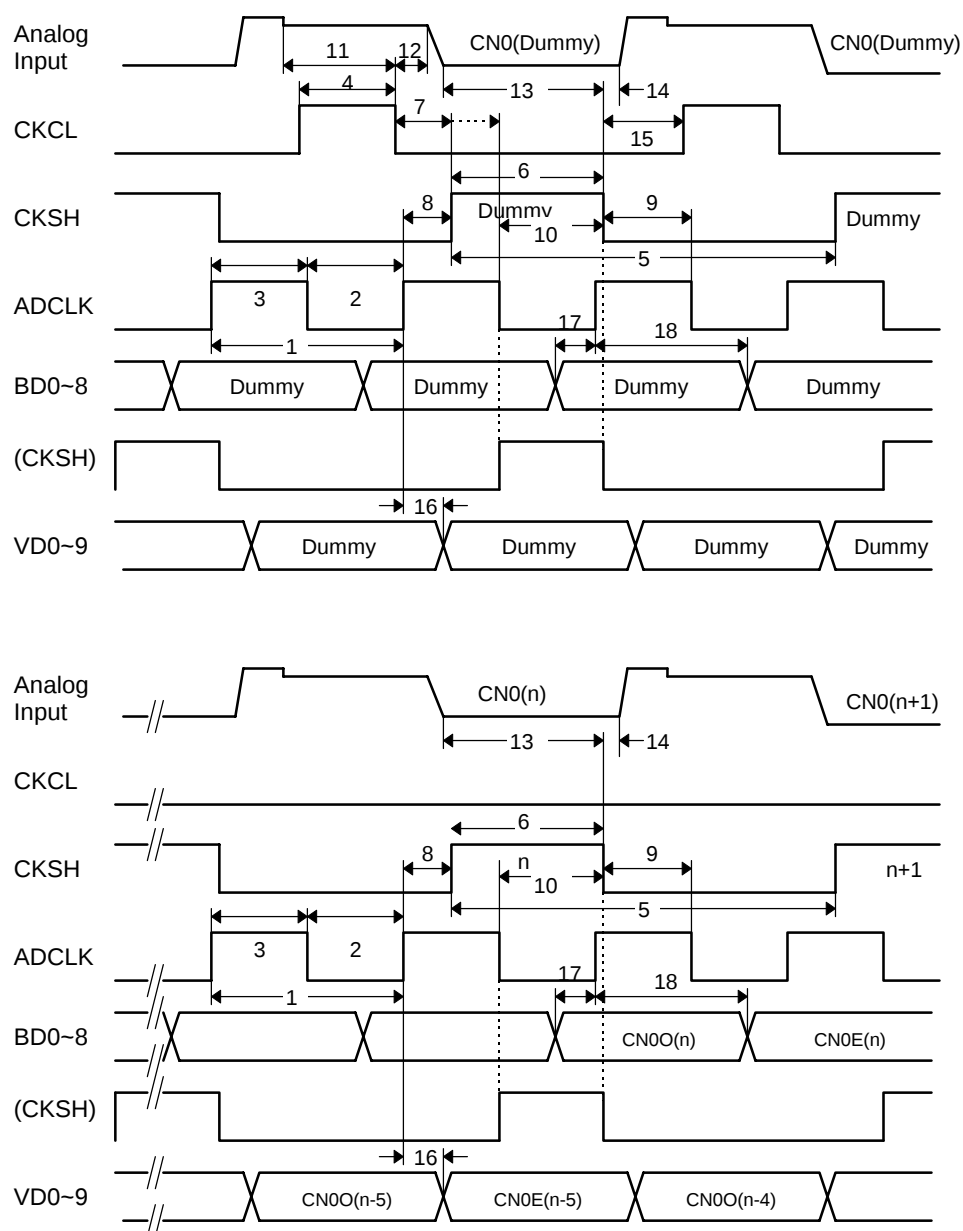
Fig.15 シングル 1CH モード

■ ラインクランプモード タイミング



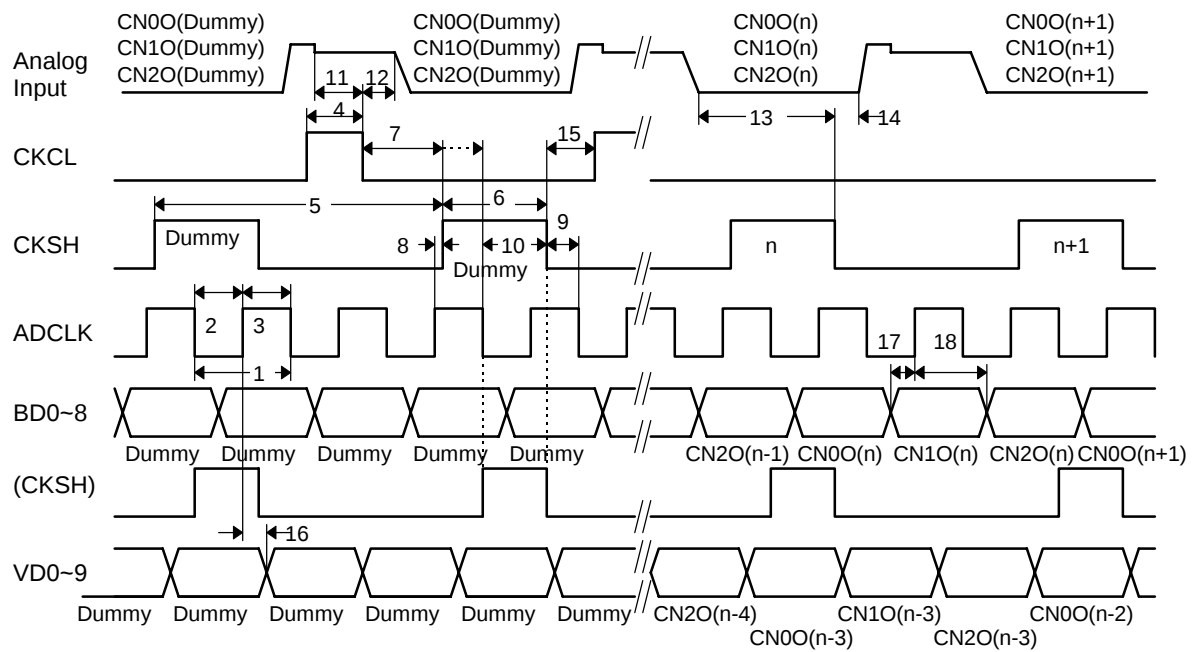
注) 7 の終点は CKSH↑と ADCLK↓のどちらか遅い方になります。

Fig.16 デュアル 6CH モード (ラインクランプ)



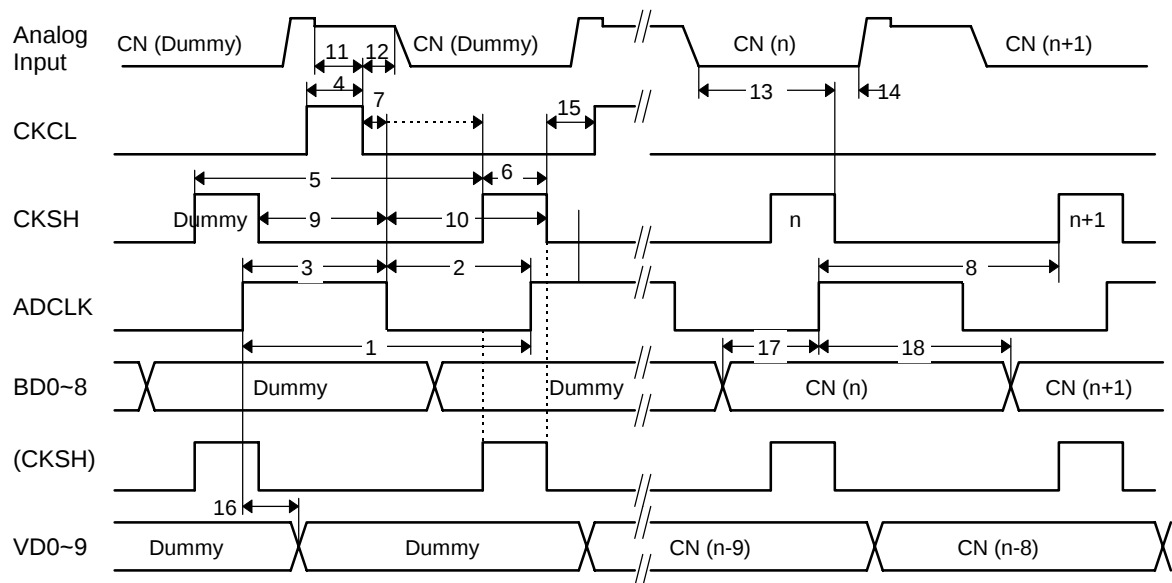
注) 7 の終点は $CKSH\uparrow$ と $ADCLK\downarrow$ のどちらか遅い方になります。

Fig.17 デュアル 2CH モード (ラインクランプ)



注) 7 の終点は CKSH↑と ADCLK↓のどちらか遅い方になります。

Fig.18 シングル 3CH モード (ラインランプ)



注) 7 の終点は CKSH↑と ADCLK↓のどちらか遅い方になります。

Fig.19 シングル 1CH モード (ラインランプ)

外部回路例

■ CDS モード時

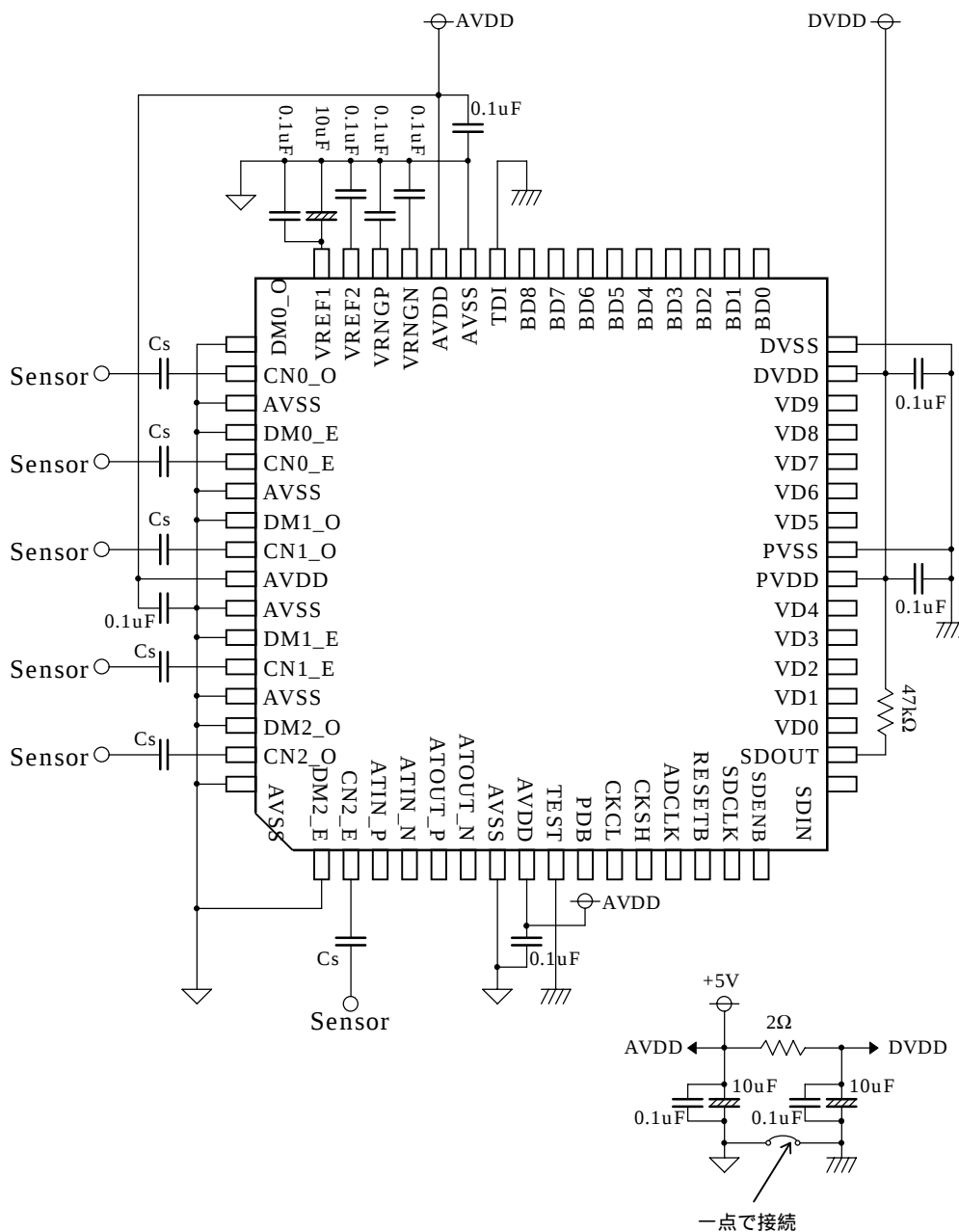
Cs: センサ入力コンデンサ 0.01 μ F

Fig.20 CDS モード回路例

上記は参考例です。抵抗、容量はシステムに応じて最適な値をお選び下さい。

■ クランプモード時

Cs: センサ入力コンデンサ 0.22 μ F

Cd: ダミー入力コンデンサ 0.22 μ F

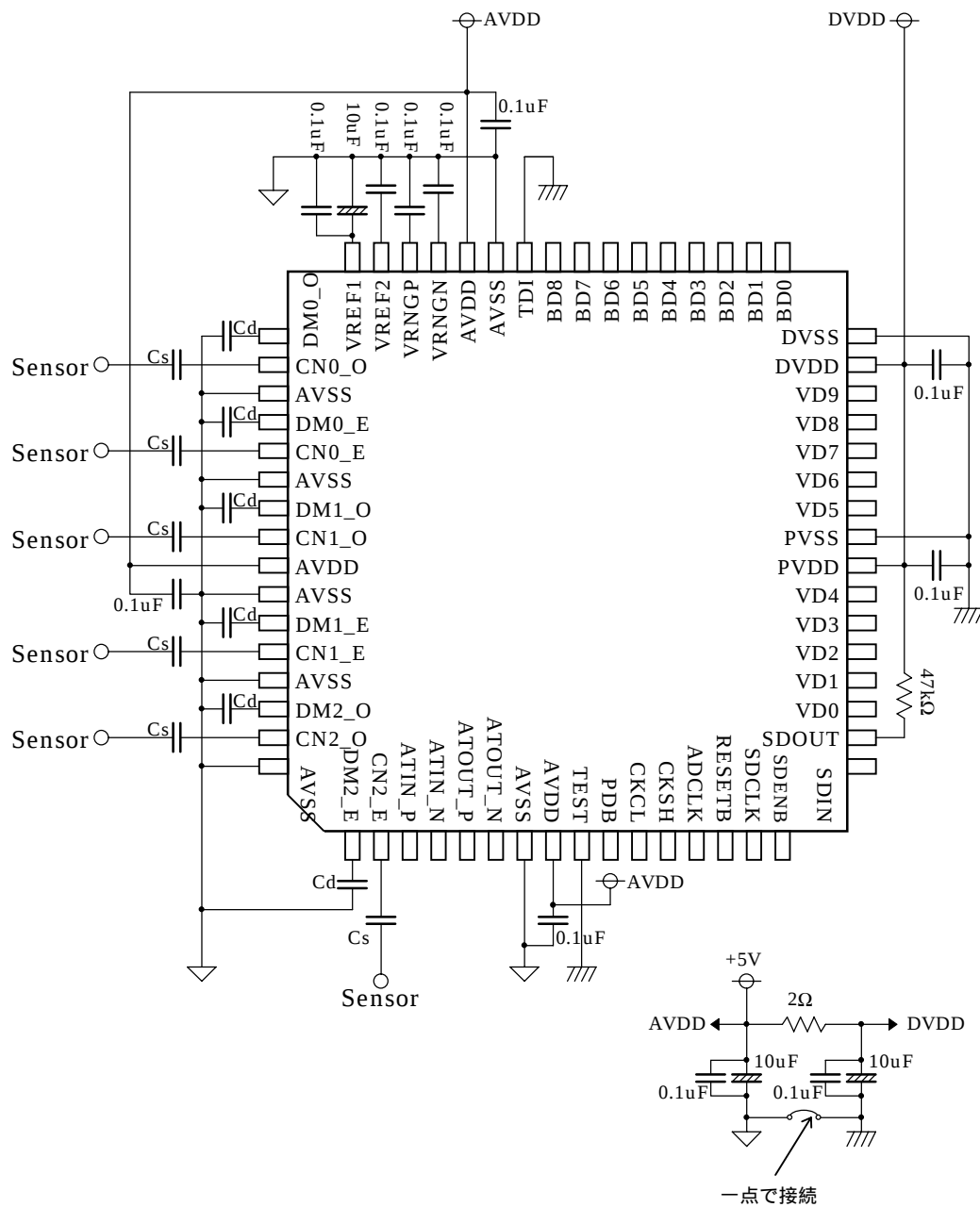
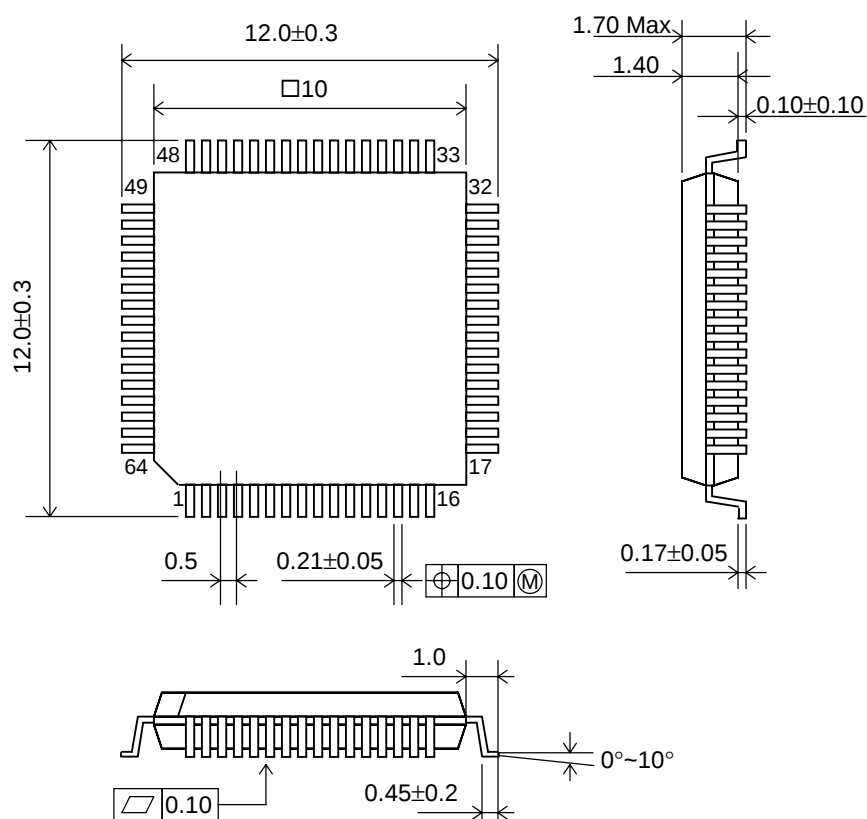


Fig.21 クランプモード回路例

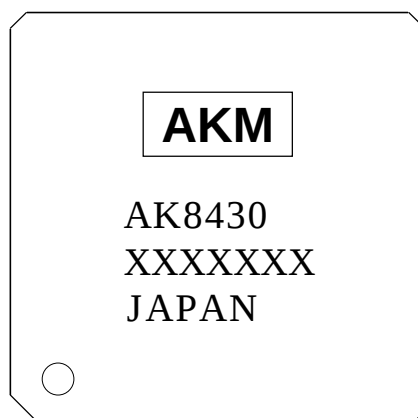
上記は参考例です。抵抗、容量はシステムに応じて最適な値をお選び下さい。

パッケージ寸法



マーキング

- (1) 1ピン表示 (面取りした角が1ピン)
- (2) 旭化成マイクロシステム ロゴ
- (3) マーケティングコード : AK8430
- (4) データコード : XXXXXXXX (7桁)
 上位4桁 : 週コード
 下位3桁 : 社内管理コード
- (5) 生産国名表示 : JAPAN



重要な注意事項

- 本書に記載された製品、および、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替および、外国貿易管理法に定める戦略物資（役務を含む）に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。